

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Guilherme Brunel Martins

ESTUDO DE CONVERSORES A CAPACITORES CHAVEADOS

Florianópolis
2013

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Guilherme Brunel Martins

ESTUDO DE CONVERSORES A CAPACITORES CHAVEADOS

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Ivo Barbi, Dr. Ing.

Florianópolis
2013

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Martins, Guilherme Brunel

Estudo de conversores a capacitores chaveados /
Guilherme Brunel Martins ; orientador, Ivo Barbi -
Florianópolis, SC, 2013.
162 p.

Dissertação (mestrado) - Universidade Federal de Santa
Catarina, Centro Tecnológico. Programa de Pós-Graduação em
Engenharia Elétrica.

Inclui referências

1. Engenharia Elétrica. 2. Eletrônica de potência. 3.
Conversores a capacitores chaveados. I. Barbi, Ivo. II.
Universidade Federal de Santa Catarina. Programa de Pós-
Graduação em Engenharia Elétrica. III. Título.

Guilherme Brunel Martins

ESTUDO DE CONVERSORES A CAPACITORES CHAVEADOS

Esta **D**issertação foi julgada adequada para obtenção do Título de Mestre, na **á**rea de concentração em Eletrônica de Potência e Acionamento **E**létrico, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.


Florianópolis, 19 de Março de 2013.



Prof. Patrick Kuo Peng, Dr.


Coordenador do **P**rograma de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:




Prof. Ivo Barbi, Dr. Ing.
Orientador


Universidade Federal de Santa Catarina



Prof. Velles Brunelli Lazzarin, Dr.
Instituto Federal de Santa Catarina



Prof. Enio Valmor Kassick, Dr.
Universidade Federal de Santa Catarina



Prof. Denizar Cruz Martins, Dr.
Universidade Federal de Santa Catarina

Ao meu pai.

AGRADECIMENTOS

Aos meus pais, Djalma e Edna, por sempre me darem forças e me apoiarem nos momentos difíceis e em minhas decisões.

Ao meu irmão Leandro pelo amor e carinho que sempre dedicou e a motivação que sempre gerou com este trabalho.

À minha esposa Letícia pela compreensão e amor durante os anos de dedicação.

Ao meu orientador, professor Doutor Ivo Barbi, pela honra de tê-lo como orientador.

Aos professores da banca examinadora, Telles Brunelli Lazzarin, Enio Valmor Kassick e Denizar Cruz Martins, pelas contribuições para o aprimoramento deste trabalho.

Aos demais professores do INEP, Arnaldo José Perin, João Carlos dos Santos Fagundes, Hari Bruno Mohr, Marcelo Lobo Heldwein e Samir Armad Mussa, pelos conhecimentos transmitidos.

À minha turma de mestrado, Adriano Ruseler, Daniel Augusto Figueiredo Collier, Daniel Córdova Roth, Jackson Lago, Marcos Tadeu Coelho, Paulo Augusto Garcia Tatim e Walbemark Marques dos Santos pela convivência e amizade.

Aos demais amigos e colegas que dividiram sala comigo durante o mestrado, Gabriel Tibola, Gleyson Luiz Piazza e Silvia Helena Pini. Obrigado pelo convívio.

Ao CNPQ por ter financiado meus estudos.

À Universidade Federal de Santa Catarina e ao programa de Pós-Graduação em Engenharia Elétrica pela oportunidade de estudar numa universidade pública, gratuita e de excelente qualidade.

A todos os funcionários do INEP, por proporcionarem as condições para a realização deste trabalho, em especial à Antônio Luiz Schalata Pacheco e Luiz Marcellus Coelho.

Finalizo agradecendo ao povo brasileiro, pois toda a minha formação escolar advém de recursos públicos.

Muito Obrigado!

O futuro tem muitos nomes.
Para os fracos é o inalcançável.
para os temerosos, o desconhecido.
Para os valentes é a oportunidade.

Victor Marie Hugo

O mais competente não discute, domina a sua
ciência e cala-se.

Voltaire

RESUMO

Uma das principais linhas de pesquisa em eletrônica de potência nas últimas duas décadas foi o desenvolvimento de conversores em alta frequência sem o uso de indutores e transformadores. Peso e volume reduzido, alta densidade de potência e baixa emissão de ruídos eletromagnéticos são resultados do uso apenas de interruptores e capacitores no estágio de potência destes conversores. Nesta dissertação de mestrado realiza-se o estudo teórico e prático de um conversor a capacitor chaveado CC-CC abaixador com 4 estágios, 48 V de tensão de entrada, 12 V de tensão de saída, 100 W de potência de saída apenas utilizando interruptores e capacitores. A partir deste primeiro estudo propõe-se uma nova topologia, um conversor a capacitor CA-CA abaixador com ganho estático ideal igual a $\frac{1}{2}$. Um conversor de 220 V de tensão eficaz de entrada, 110 V de tensão eficaz de saída, 600 W de potência de saída com rendimento máximo de 95,6% é apresentado neste trabalho, constituindo um potencial candidato à substituição dos autotransformadores convencionais (sem controle da tensão de saída) em baixa potência (menos de 1 kW) em aplicações comerciais e residenciais.

Palavras-chave: capacitor chaveado, conversor CC-CC, conversor CA-CA, autotransformadores.

ABSTRACT

One of the main line of research in Power Electronics in the last two decades has been the development of high frequency converters without inductors and transformers.

Light weight, small size, high power density and low electromagnetic noise are the results of using only switches and capacitors in the power stage of these converters.

This masters dissertation presents a theoretical and experimental study of a switched-capacitor step-down converter, 48 V input voltage, 12 V output voltage, 100 W output power using only switches and capacitors.

From this first study, an AC-AC step-down converter based on the switched-capacitor principle is proposed. A 220 V high-side r.m.s. voltage, 110 V low-side r.m.s. voltage, 600 W output power converter with maximum efficiency is 95,6% is presented on this work, intending to be a potential candidate for replacing the conventional autotransformers (without control of output voltage) in low power (less than 1 kW) for commercial and residential applications.

Keywords: Switched-capacitor, DC-DC converter, AC-AC converter.

LISTA DE FIGURAS

Figura 1.1: Elementos que compõem os conversores a capacitores chaveados. .	1
Figura 1.2: Exemplo de topologia de conversores a capacitores chaveados apresentada em [1], abaixador com dois subcircuito.	2
Figura 1.3: Aplicação típica do circuito integrado LM2750.	3
Figura 1.4: Diagrama de blocos do circuito integrado LM2750.	3
Figura 2.1: Conversor a capacitor chaveado básico.	7
Figura 2.2: Tensão de entrada (V_i), de saída (V_o) e no capacitor chaveado (v_c) em regime permanente.	9
Figura 2.3: Circuito resultante para a primeira etapa de operação.	10
Figura 2.4: Circuito resultante para a segunda etapa de operação.	11
Figura 2.5: Forma de onda da corrente no capacitor e nos interruptores S_1 e S_2	13
Figura 2.6: Modelo em regime permanente.	15
Figura 2.7: Gráfico da resistência equivalente em função da frequência de comutação vezes a constante de tempo.	16
Figura 2.8: Gráfico da resistência equivalente em função da razão cíclica D_1	17
Figura 2.9: Circuito equivalente do conversor básico.	19
Figura 2.10: Característica externa do conversor básico.	20
Figura 2.11: Característica ganho x potência do conversor básico.	21
Figura 3.1: Célula <i>Valley-Fill</i>	24
Figura 3.2: Conversor a capacitor chaveado abaixador $G=1/4$	24
Figura 3.3: Sinal de comando dos interruptores.	24
Figura 3.4: Primeira etapa de operação.	25
Figura 3.5: Segunda etapa de operação.	25
Figura 3.6: Tensão de entrada referenciada à saída, tensão de saída e no capacitor chaveado em regime permanente.	26
Figura 3.7: Circuito resultante para a primeira etapa de operação.	26
Figura 3.8: Circuito resultante para a segunda etapa de operação.	28
Figura 3.9: Forma de onda da corrente em um capacitor e nos interruptores S_1 e S_2	31
Figura 3.10: Modelo em regime permanente do conversor abaixador de 4 estágios.	32
Figura 3.11: Modelo em regime permanente.	34
Figura 3.12: Característica externa.	35
Figura 3.13: Primeira etapa de operação.	37
Figura 3.14: Segunda etapa de operação.	37
Figura 3.15: Fluxograma do circuito de comando.	42
Figura 3.16: Circuito gerador de PWM, inversor e geradores de tempo morto.	43
Figura 3.17: Esquemático do <i>driver</i> , circuito de anti-saturação, transformador de pulso e circuito de <i>gate</i>	44
Figura 3.18: Esquemático do circuito de potência.	45
Figura 3.19: Foto do protótipo implementado.	46

Figura 3.20: Ganho estático: comparação entre simulação e valores experimentais.....	48
Figura 3.21: Rendimento: comparação entre simulação e valores experimentais.....	49
Figura 3.22: Forma de onda da corrente no interruptor S_I (de cima) 2 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.....	51
Figura 3.23: Forma de onda da corrente no capacitor chaveado (de cima) 5 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.....	51
Figura 3.24: Forma de onda da corrente no capacitor de saída (de cima) 10 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.....	52
Figura 3.25: Forma de onda da corrente de saída (de cima) 5 A/div e a tensão de saída (de baixo) 5 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.....	52
Figura 3.26: Forma de onda da corrente no interruptor S_I (de cima) 2 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 50% de carga, $I_o=5$ A.....	53
Figura 3.27: Forma de onda da corrente no interruptor S_I (de cima) 2 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o=1$ A.....	53
Figura 4.1: Conversor a capacitor chaveado abaixador duplo $G=1/4$	56
Figura 4.2: Sinal de comando dos interruptores.....	56
Figura 4.3: Conversor abaixador com 4 estágios Duplo - Primeira etapa de operação.....	57
Figura 4.4: Conversor abaixador com 4 estágios Duplo – Segunda etapa de operação.....	58
Figura 4.5: Circuito resultante para a primeira etapa de operação.....	59
Figura 4.6: Circuito resultante para a segunda etapa de operação.....	59
Figura 4.7: Formas de onda do conversor duplo (conversor simples superior). ..	60
Figura 4.8: Formas de onda do conversor duplo (conversor simples inferior). ..	61
Figura 4.9: Forma de onda da corrente de entrada do conversor duplo e de saída (antes do capacitor de filtro).....	61
Figura 4.10: Circuito equivalente do conversor duplo.....	62
Figura 4.11: Circuito equivalente simplificado do conversor duplo.....	62
Figura 4.12: Circuito equivalente do conversor duplo considerando a queda de tensão dos diodos.....	64
Figura 4.13: Circuito equivalente simplificado do conversor duplo considerando a queda de tensão dos diodos.....	64
Figura 4.14: Característica externa.....	65
Figura 4.15: Ganho estático do conversor duplo em função da frequência de comutação com $I_o = 10$ A.....	67
Figura 4.16: Ganho estático conversor duplo: comparação entre o conversor operando com frequência de operação de 5 kHz e 50 kHz.....	69

Figura 4.17: Rendimento conversor duplo: comparação entre o conversor operando com frequência de operação de 5 kHz e 50 kHz.	69
Figura 4.18: Ganho estático: comparação entre o conversor Duplo operando a 50 kHz e o conversor simples.	70
Figura 4.19: Rendimento: comparação entre o conversor Duplo operando a 50 kHz e o conversor simples.	70
Figura 4.20: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o = 1$ A.	72
Figura 4.21: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o = 10$ A.	72
Figura 4.22: Forma de onda da corrente no capacitor chaveado do conversor simples superior I_{C1} (de cima em verde) 2 A/div, a corrente no capacitor chaveado do conversor simples inferior I_{C5} (de cima em roxo) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o = 1$ A.	73
Figura 4.23: Forma de onda da corrente no capacitor chaveado do conversor simples superior I_{C1} (de cima em verde) 2 A/div, a corrente no capacitor chaveado do conversor simples inferior I_{C5} (de cima em roxo) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o = 10$ A.	73
Figura 4.24: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 200% de carga, $I_o = 20$ A.	74
Figura 4.25: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 50 μ s/div. Com 100% de carga, $I_o = 10$ A e frequência de comutação de 5 kHz.	74
Figura 5.1: Topologia do conversor CA-CA abaixador a capacitor chaveado.	78
Figura 5.2: Modulação do conversor.	78
Figura 5.3: Célula formada por dois interruptores e um capacitor chaveado.	81
Figura 5.4: Formas de onda em baixa frequência.	82
Figura 5.5: Formas de onda em alta frequência.	84
Figura 5.6: Etapas de operação do conversor CA-CA a capacitor chaveado.	85
Figura 5.7: Circuito equivalente simplificado em baixa frequência (a) visto pela fonte de entrada e (b) visto pela carga.	86
Figura 5.8: Impedância e fase do capacitor EPCOS B32669C3106.	92
Figura 5.9: Esquemático do circuito de potência.	93
Figura 5.10: Esquemático do circuito gerador de pulsos.	94
Figura 5.11: Esquemático do circuito de comando.	95
Figura 5.12: Protótipo do conversor a capacitor chaveado CA-CA.	96
Figura 5.13: Resultados experimentais: (a) característica externa, (b) rendimento, (c) fator de potência, (d) ganho estático e rendimento.	98
Figura 5.14: Tensão de entrada e tensão de saída para o conversor operando a 600 W de potência de saída.	100

Figura 5.15: Tensão de entrada e corrente de entrada para o conversor operando a 300 W de potência de saída.	100
Figura 5.16: Tensão de entrada e corrente de entrada para o conversor operando a 600 W de potência de saída.	101
Figura 5.17: Tensão de saída e corrente de saída para o conversor operando a 550 W de potência de saída.	101
Figura 5.18: Tensão nos interruptores S_{1a} e S_{2a} para o conversor operando a 600 W de potência de saída.	102
Figura 5.19: Tensão nos capacitores chaveados C_{1a} , C_{2a} e C_{3a} para o conversor operando a 600 W de potência de saída.	102
Figura 5.20: Tensão nos capacitores chaveados C_{2a} e C_{2b} para o conversor operando a 600W de potência de saída.	103
Figura 5.21: Corrente nos interruptores S_{1a} e S_{2a} para o conversor operando a 430 W de potência de saída.	103
Figura 5.22: Corrente no capacitor chaveado C_{1a} para o conversor operando a 430 W de potência de saída.	104
Figura 5.23: Tensão de entrada, tensão de saída e corrente de entrada, durante a inicialização para o conversor operando a 600 W de potência de saída.	106
Figura 5.24: Resultados experimentais: (a) característica externa, (b) rendimento, (c) fator de potência.	107
Figura 5.25: Tensão no interruptor S_{1a} , tensão de saída e corrente de entrada para o conversor operando a 500 W.	107

LISTA DE TABELAS

Tabela 3.1: Esforços de tensão nos componentes	38
Tabela 3.2: Especificação do projeto.	38
Tabela 3.3: Esforços de corrente nos componentes.	39
Tabela 3.4: Esforços de tensão nos componentes.	39
Tabela 3.5: Principais características elétricas dos componentes escolhidos.....	40
Tabela 3.6: Principais características do capacitor eletrolítico escolhido.	41
Tabela 3.7: Comparação entre os valores teórico e experimental.	47
Tabela 3.8: Comparação entre os parâmetros teóricos e os utilizados na simulação.	48
Tabela 4.1: Comparação entre os valores do conversor operando a 5 e 50 kHz e o conversor simples.	68
Tabela 5.1: Especificação do projeto.	89
Tabela 5.2: Esforços de corrente nos componentes.	90
Tabela 5.3: Característica do capacitor chaveado.	91
Tabela 5.4: Parâmetros de uma amostra de capacitor.	91
Tabela 5.5: Características do interruptor.	93

LISTA DE ABREVIATURAS E SIGLAS

Abr/Sig	Descrição
SCC	Switched-Capacitor Converter
EMI	Eletromagnetic Interference
CC	Corrente contínua
CA	Corrente Alternada
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
RLC	Parâmetros do modelo série de um capacitor: resistência, indutância e capacitância série

LISTA DE SÍMBOLOS

Forma Geral	Descrição	Unidade
x	Valor em função de tempo $x(t)$	-
$\langle x \rangle$	Valor médio quase instantâneo de uma variável x	-
X_{med}	Valor médio da variável x em regime permanente	-
X_{ef}	Valor eficaz da variável x em regime permanente	-
\bar{X}	Variável x normalizada	-
X_{pk}	Valor de pico da variável x	-

Símbolo	Descrição	Unidade
$R_{DS(on)}$	Resistência série de um interruptor	Ω
RSE	Resistência série de um capacitor	Ω
C, C_i	Capacitância de um capacitor chaveado	F
C_o, C_{oj}	Capacitância de saída do conversor	F
S_i, S_{ij}	Interruptor comandado pelo sinal PWM_i	-
V_a	Tensão instantânea no capacitor chaveado	V
V_b	Tensão instantânea no capacitor chaveado	V
v_c	Tensão no capacitor chaveado	V
v_i	Tensão de entrada do conversor	V
v_o	Tensão de entrada do conversor	V
τ	Constante de tempo	S
i_c	Corrente no capacitor chaveado	A
q	Carga do capacitor chaveado	C
t	Variável tempo	s

G	Ganho estático	-
G_{ideal}	Ganho estático ideal do conversor	-
T_s	Período de comutação	s
f_s	Frequência de comutação	Hz
D_i	Razão cíclica do interruptor acionado pelo sinal PWM_i	-
R_{eq}	Resistência equivalente do conversor chaveado	Ω
i_o	Corrente de saída do conversor	A
$R_{eq.min}$	Resistência equivalente mínima do conversor	Ω
P_o	Potência ativa de saída do conversor	W
PWM_i	Sinal PWM de comando do interruptor S_i	-
D_{ij}	Diodo que conduz na mesma etapa de operação que o interruptor S_i	-
V_D	Queda de tensão direta de um diodo	V
T_i	Transistor bipolar	-
TR_i	Transformador de pulso	-
R_D	Resistência série de um diodo	Ω
f_i	Frequência da tensão de entrada	Hz

SUMÁRIO

1	Introdução.....	1
2	Conversor CC-CC Básico: Estudo e Análise	7
2.1	Introdução	7
2.2	Análise Inicial do Conversor.....	7
2.3	Princípio de Funcionamento	8
2.3.1	Etapas de Operação	9
2.3.1.1	Primeira Etapa.....	9
2.3.1.2	Segunda Etapa.....	10
2.4	Análise Matemática	12
2.4.1	Circuito Equivalente	12
2.4.1.1	Ondulação de Tensão no Capacitor.....	12
2.4.1.2	Resistência Equivalente	14
2.4.1.2.1	<i>Resistência Equivalente Mínima</i>	17
2.4.2	Esforços de Corrente.....	18
2.5	Característica Externa	19
2.6	Característica Ganho x Potência	20
2.7	Conclusão.....	21
3	Conversor CC-CC Abaixador com 4 Estágios: Estudo, Análise e Projeto	23
3.1	Introdução	23
3.2	Análise Inicial do Conversor.....	23
3.3	Princípio de Funcionamento	24
3.3.1	Etapas de Operação	25
3.3.1.1	Primeira Etapa.....	25
3.3.1.2	Segunda Etapa.....	27
3.4	Análise Matemática	29
3.4.1	Circuito Equivalente	29
3.4.1.1	Ondulação de Tensão nos Capacitores	29
3.4.1.2	Resistência Equivalente	32
3.4.1.3	Influência da Queda de Tensão nos Diodos	33
3.4.2	Característica Externa	34
3.4.3	Esforços de Corrente.....	35

3.4.4	Esforços de Tensão	37
3.5	Projeto.....	38
3.5.1	Especificação	38
3.5.2	Dimensionamento	39
3.5.2.1	Interruptores e Diodos	40
3.5.2.2	Capacitores	41
3.5.2.3	Circuito de Comando	41
3.5.3	O protótipo.....	46
3.5.4	Simulação e Resultados Experimentais	47
3.6	Formas de Onda Experimentais	50
3.7	Conclusão	54
4	Paralelismo de Conversores CC-CC	
	Abaixador com 4 Estágios.....	55
4.1	Introdução	55
4.2	Associação de Dois Conversores em Paralelo	55
4.2.1	Princípio de Funcionamento	56
4.2.1.1	Etapas de Operação.....	58
4.2.2	Formas de Onda.....	60
4.2.3	Circuito Equivalente	62
4.2.3.1	Resistência Equivalente	62
4.2.3.2	Influência da Queda de Tensão nos Diodos.....	63
4.2.3.3	Característica Externa	64
4.2.4	Esforços de Corrente.....	65
4.2.5	Esforços de Tensão	66
4.2.6	Projeto.....	66
4.2.7	Resultados Experimentais.....	67
4.2.8	Formas de Onda Experimentais	71
4.3	Conclusão	75
5	Conversor CA-CA Abaixador: Estudo,	
	Análise e Projeto	77
5.1	Introdução	77
5.2	Topologia e Modulação	77
5.3	Princípio de Funcionamento	78

5.3.1	Análise em Baixa Frequência.....	79
5.3.2	Etapas de Operação.....	82
5.4	Análise Matemática	86
5.5	Projeto.....	89
5.5.1	Dimensionamento dos Capacitores Chaveados.....	90
5.5.2	Dimensionamento dos Interruptores	92
5.5.3	Circuito de Comando	93
5.5.4	Protótipo	96
5.6	Resultados Experimentais	97
5.7	Comparação com autotransformador	105
5.8	Partida do conversor	105
5.9	Conversor a capacitor chaveado CA-CA operando como elevador.....	106
5.10	Conclusão.....	108
6	Considerações Finais.....	109
6.1	Conclusão Geral.....	109
6.2	Recomendações para Trabalhos Futuros.....	110
7	Apêndice A.....	113
8	Apêndice B.....	123
9	Apêndice C.....	125

Capítulo 1

Introdução

O estudo de conversores a capacitores chaveados (*Switched-Capacitor Converters* – SCC) é uma das principais linhas de pesquisa em eletrônica de potência das últimas duas décadas, fundamentando o estudo e desenvolvimento de conversores estáticos de potência de alta frequência sem a utilização de elementos magnéticos.

Elementos magnéticos como indutores e transformadores são os que mais contribuem com o volume e peso dos conversores estáticos. Sendo assim, peso e volume reduzidos resultando em alta densidade de potência são características desta família de conversores [1].

Atualmente, um dos grandes anseios da indústria eletrônica é a alta densidade de potência, objetivando a miniaturização dos conversores estáticos. Logo, a não utilização de elementos magnéticos se tornou alvo de estudos no ramo da eletrônica de potência.

Conversores a capacitores chaveados são constituídos apenas por interruptores controlados, diodos e capacitores. A Figura 1.1 apresenta os elementos básicos utilizados na arquitetura destes conversores.



Figura 1.1: Elementos que compõem os conversores a capacitores chaveados.

Uma das principais formas de miniaturização em circuitos eletrônicos é a união de componentes discretos em um só bloco, gerando circuitos integrados. Comparados com conversores estáticos com armazenamento de energia (tanto indutiva quanto capacitiva), conversores a capacitores chaveados têm várias propriedades vantajosas, devido à não utilização de elementos magnéticos, o que os torna adequados para integração monolítica, ou seja, construção de circuitos integrados [2].

Conversores a capacitores chaveados podem ser vistos como fontes ideais para aplicação em sistemas eletrônicos embarcados, tais como telefones celulares, instrumentos médicos, computadores portáteis, e assim por diante [1].

A Figura 1.2 apresenta um exemplo de conversor a capacitor chaveado apresentado em [1].

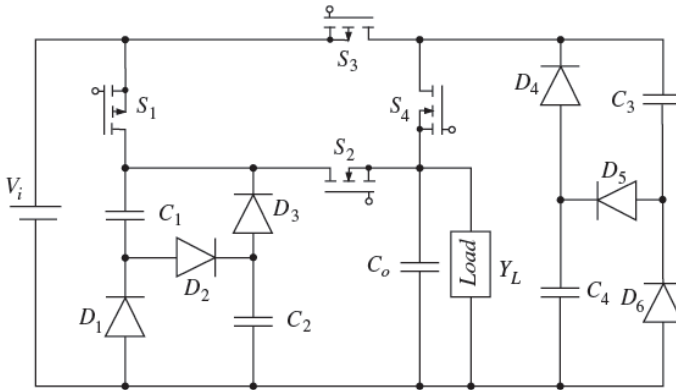


Figura 1.2: Exemplo de topologia de conversores a capacitores chaveados apresentada em [1], abaixador com dois subcircuito.

Comercialmente, já existem circuitos integrados a capacitores chaveados de baixa tensão, como o LM2750 (fabricado pela *National Semiconductor* [3]) e o LM2662 ambos produzidos pela mesma empresa [4].

A Figura 1.3 apresenta a aplicação típica do circuito integrado LM2750 e a Figura 1.4 apresenta o seu diagrama de blocos.

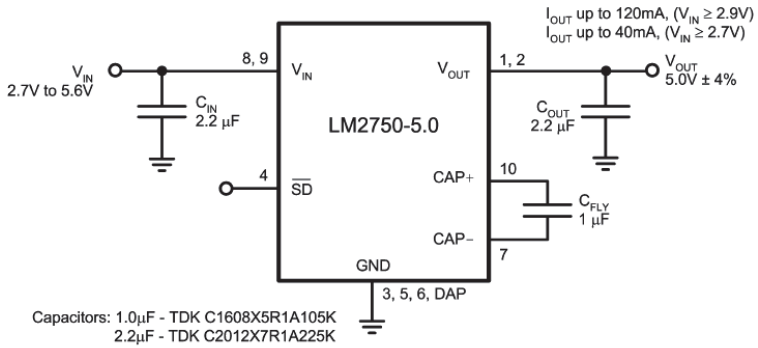


Figura 1.3: Aplicação típica do circuito integrado LM2750.

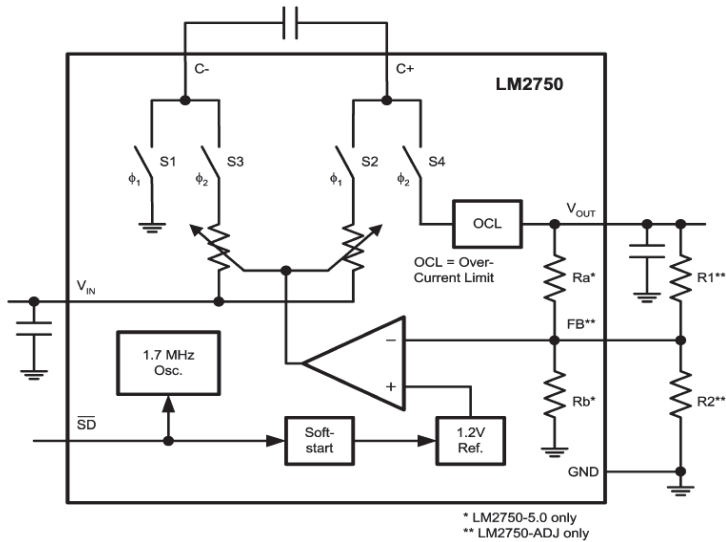


Figura 1.4: Diagrama de blocos do circuito integrado LM2750.

Conversores CC-CC a capacitores chaveados com alta relação entre as tensões de entrada e de saída – tanto abaixadores quanto elevadores – são possíveis soluções para a obtenção de alta eficiência

com baixa interferência eletromagnética (*Eletromagnetic Interference* – EMI).

Em conversores tradicionais, os indutores servem para dois propósitos: processar energia e filtrar a tensão de saída. O uso de conversores a capacitores chaveados para processar energia parecia fadado ao fracasso, pois se sabe que a carga de um capacitor a partir do zero tem 50% de rendimento. Muitos anos de pesquisa foram necessários para superar este dilema e desenvolver conversores a capacitores chaveados processando energia com alto rendimento [1].

Uma desvantagem desta família de conversores é a dificuldade de assegurar uma boa regulação da tensão de saída na presença de uma grande variação de carga, e, em particular, na presença de variações da tensão de entrada. O controle da tensão de saída pode ser obtido, mas acarreta a degradação do rendimento [2].

Quando completamente sem carga, a tensão de saída do conversor assume um valor único e máximo, dependente apenas da sua topologia e modulação: este valor é chamado de tensão de saída ideal, e sua relação com a tensão de entrada de ganho ideal do conversor, este é o máximo valor de ganho estático possível. Sendo assim, quanto menor a carga, melhor o rendimento (desconsiderando as perdas fixas dos conversores), tornando-os ideais para aplicações no gerenciamento de energia entre fontes como baterias e ultracapacitores.

Observando que, nos dias atuais, as aplicações elétricas automobilísticas estão demandando maior potência, para suprir tal necessidade, algumas arquiteturas com mais de um nível de tensão estão sendo propostas e, para tal, é necessário um sistema de gerenciamento de energia; em [5], um sistema com dois níveis de tensão foi proposto, com 42 e 14 V. Para o gerenciamento de energia entre as fontes CC, foi proposto um conversor a capacitores chaveados bidirecional, com elevado rendimento e densidade de potência.

Conversores a capacitores chaveados vão contra os paradigmas da teoria de circuitos elétricos; não se pode colocar em paralelo duas fontes de tensão de valores diferentes, pois geram correntes impulsivas; não se pode colocar em séries fontes de corrente diferentes, pois geram tensões impulsivas.

O presente trabalho propõe o estudo dos conversores a capacitores chaveados, mostrando como estes conversores funcionam, convivendo com os paradigmas existentes.

O segundo capítulo apresenta o estudo do conversor a capacitor chaveado CC-CC básico. Este capítulo mostra o princípio de funcionamento do conversor, abordando como a energia é transferida da fonte de entrada para o capacitor chaveado e deste para a carga. Apresenta também as considerações necessárias para a correta análise destes conversores, assim como o circuito equivalente característico.

O capítulo terceiro mostra o estudo, análise e implementação prática de um conversor a capacitor chaveado CC-CC abaixador com 4 estágios. A análise e o equacionamento deste conversor se baseiam no estudo apresentado no capítulo anterior.

O quarto capítulo estuda a associação em paralelo do conversor a capacitor chaveado CC-CC abaixador com 4 estágios. Esta técnica visa reduzir o conteúdo harmônico das correntes de entrada e o valor eficaz da corrente no capacitor de saída do conversor.

O capítulo quinto apresenta um novo conversor a capacitor chaveado CA-CA abaixador. Este capítulo mostra o estudo, análise e implementação desta nova topologia. Este conversor é proposto como alternativa aos autotransformadores tradicionais.

Capítulo 2

Conversor CC-CC Básico: Estudo e Análise

2.1 Introdução

Este capítulo apresenta o estudo teórico do conversor a capacitor chaveado básico, com apresentação e análise de suas principais características.

Utiliza-se o equacionamento no domínio do tempo para obter as características principais destes conversores.

2.2 Análise Inicial do Conversor

Um conversor CC-CC a capacitor chaveado básico é apresentado na Figura 2.1, o qual possui ganho estático unitário. A análise dos conversores a capacitores chaveados partirá deste conversor básico, e posteriormente será estendida às topologias mais complexas. Conversores mais complexos são compostos, geralmente, por n células topologicamente equivalentes à deste conversor fundamental [6].

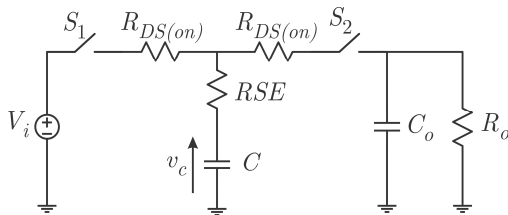


Figura 2.1: Conversor a capacitor chaveado básico.

Para a análise do conversor básico devem ser consideradas as perdas por condução dos componentes, as quais são modeladas basicamente por resistências; nos interruptores (considerando a utilização de *MOSFETs*), é considerada a resistência *Drain-to-Source* de condução ($R_{DS(on)}$), e no capacitor, a resistência série equivalente (*RSE*). A indutância série equivalente dos componentes foi desconsiderada. Caso existisse um diodo na topologia, sua queda de tensão altera a tensão equivalente de Thevenin do circuito equivalente do conversor e a sua resistência de condução também afeta a resistência equivalente, e este efeito será exemplificado no Cap. 3. Foram desconsiderados também os componentes parasitas do circuito, como resistência de trilha e de contato, indutâncias e capacitâncias parasitas de trilhas e componentes.

A tensão v_c apresentada na Figura 2.1 é idealizada, ou seja, não é possível medi-la na prática, pois esta medição apresentaria a tensão no capacitor v_c acrescida da tensão na resistência série equivalente do capacitor.

O princípio de operação deste tipo de conversor se dá pelo processo de carga e descarga dos capacitores chaveados, realizando, indiretamente, a transferência de energia entre as fontes de entrada e de saída do conversor.

O conversor básico apresenta duas etapas de operação: uma em que a fonte de entrada fornece energia ao capacitor (etapa de carga) e outra em que o capacitor entrega energia à fonte de saída (etapa de descarga). Os interruptores S_1 e S_2 não podem ser comandados simultaneamente.

2.3 Princípio de Funcionamento

Com o comando do interruptor S_1 , a fonte de entrada é conectada ao capacitor chaveado C , e a etapa de carga é iniciada através de um circuito de primeira ordem com constante de tempo $\tau = (RSE + R_{DS(on)})C$.

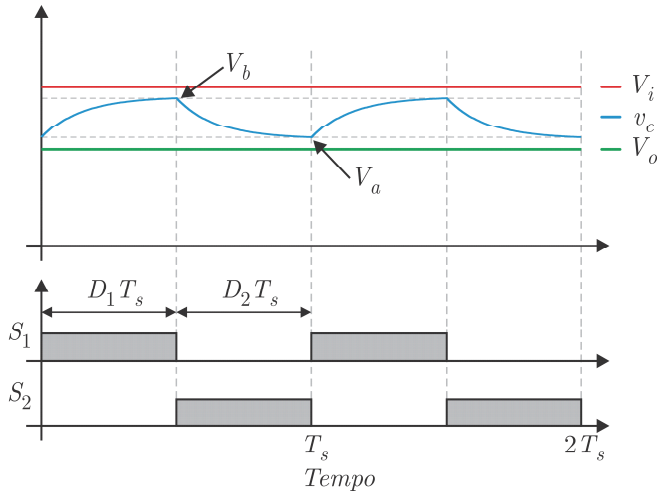


Figura 2.2: Tensão de entrada (V_i), de saída (V_o) e no capacitor chaveado (v_c) em regime permanente.

No início da primeira etapa, a tensão inicial no capacitor chaveado é V_a , e ela cresce exponencialmente até atingir o valor de V_b , que será o nível de tensão no capacitor no início da segunda etapa.

Em regime permanente, a tensão no capacitor chaveado possuirá um valor médio V_c e uma ondulação em alta frequência de amplitude ($\Delta V_c = V_b - V_a$), conforme representado na Figura 2.2, ressaltando que o nível de tensão V_b será sempre menor que a tensão de entrada V_i e o nível de tensão V_a será sempre maior que a tensão de saída V_o . Isto significa que os capacitores chaveados, em regime permanente, não se descarregam completamente.

2.3.1 Etapas de Operação

2.3.1.1 Primeira Etapa

Como explicitado anteriormente, a primeira etapa de operação ocorre com o comando do interruptor S_1 , iniciando a etapa de carga do capacitor chaveado. O circuito elétrico resultante para a primeira etapa é apresentado na Figura 2.3.

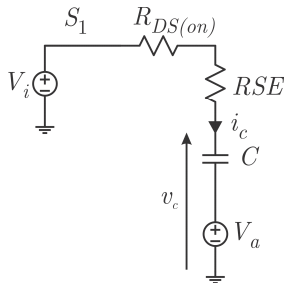


Figura 2.3: Circuito resultante para a primeira etapa de operação.

O equacionamento do circuito foi realizado no domínio do tempo. As equações (2.1) e (2.2) apresentam, respectivamente, as funções de tensão e corrente no capacitor chaveado para a primeira etapa de operação, considerando no equacionamento o instante inicial da etapa de operação como $t = 0$.

As equações (2.4) e (2.5) apresentam os limites da tensão no capacitor, conforme apresentado na Figura 2.2.

$$v_c(t) = (V_i - V_a) \left(1 - e^{-\frac{t}{\tau}} \right) + V_a \quad (2.1)$$

$$i_c(t) = \frac{V_i - V_a}{R_{DS(on)} + R_{SE}} e^{-\frac{t}{\tau}} \quad (2.2)$$

$$\tau = (R_{DS(on)} + R_{SE})C \quad (2.3)$$

$$v_c(0) = V_a \quad (2.4)$$

$$v_c(D_1 T_s) = V_b \quad (2.5)$$

2.3.1.2 Segunda Etapa

A segunda etapa de operação se inicia com o comando do interruptor S_2 – considerando que o interruptor S_1 já se encontra bloqueado – conectando assim o capacitor à fonte de saída, iniciando

a etapa de descarga. O circuito elétrico resultante para a segunda etapa é apresentado na Figura 2.4.

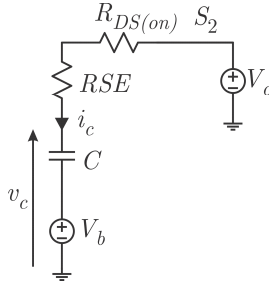


Figura 2.4: Circuito resultante para a segunda etapa de operação.

De forma análoga à primeira etapa, o equacionamento foi realizado no domínio do tempo, e as equações (2.6) e (2.7) apresentam, respectivamente, a tensão e a corrente no capacitor chaveado. As equações (2.8) e (2.9) apresentam os limites de tensão no capacitor, conforme apresentado na Figura 2.2.

$$v_c(t) = (V_o - V_b) \left(1 - e^{-\frac{t}{\tau}} \right) + V_b \quad (2.6)$$

$$i_c(t) = \frac{V_o - V_b}{R_{DS(on)} + R_{SE}} e^{-\frac{t}{\tau}} \quad (2.7)$$

$$v_c(0) = V_b \quad (2.8)$$

$$v_c(D_2 T_s) = V_a \quad (2.9)$$

2.4 Análise Matemática

2.4.1 Circuito Equivalente

Os conversores a capacitores chaveados podem ser representados por um circuito equivalente constituído basicamente por uma resistência equivalente [6].

2.4.1.1 Ondulação de Tensão no Capacitor

A ondulação de tensão no capacitor chaveado ΔV_c é diretamente proporcional à variação de carga no mesmo, como mostra a equação (2.10), e inversamente proporcional à capacitância.

Quando a corrente no capacitor, $i_c(t)$, é positiva, o capacitor é carregado e sua tensão aumenta; e quando a corrente no capacitor, $i_c(t)$, é negativa, o capacitor é descarregado e sua tensão diminui. A corrente no capacitor é composta pela corrente do interruptor S_1 , na primeira etapa de operação, e pela corrente do interruptor S_2 , na segunda etapa de operação, conforme mostra a Figura 2.5. O valor médio da corrente no capacitor em regime permanente é nulo, ou seja, o valor médio da corrente no capacitor na etapa de carga é igual ao da etapa de descarga; o valor médio da corrente no capacitor na etapa de carga ou descarga é igual ao valor médio da corrente nos interruptores S_1 e S_2 e da corrente de carga, consequentemente.

A variação de carga no capacitor ΔQ está relacionada, também, com a corrente média de carga e o período de comutação, como apresentado na equação (2.11).

$$\Delta Q = C \Delta V_c \quad (2.10)$$

$$\Delta Q = I_o T_s \quad (2.11)$$

Para encontrar a expressão da ondulação de tensão no capacitor, é necessário obter as expressões para V_a e V_b em função de V_i e V_o . Utilizando as equações da primeira etapa de operação (2.5) e (2.1), obtém-se a equação (2.12). E, para a segunda etapa de operação, utilizando as equações (2.9) e (2.6), obtém-se a equação (2.13).

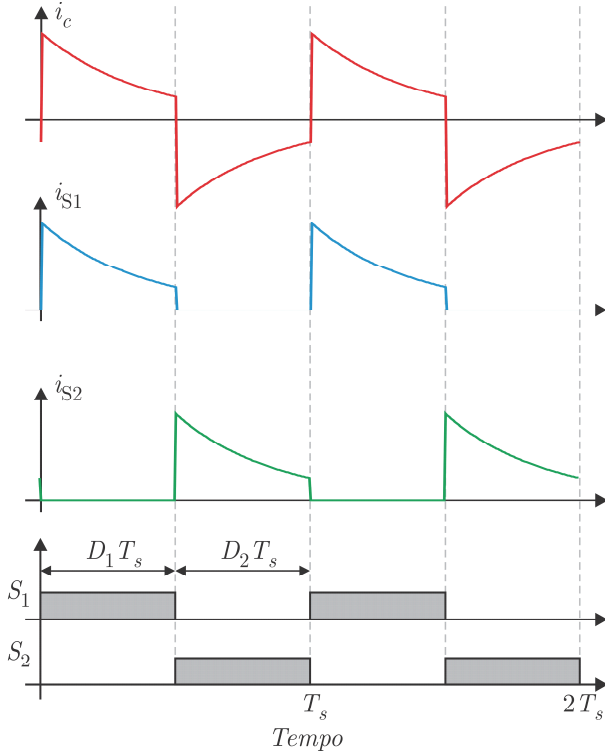


Figura 2.5: Forma de onda da corrente no capacitor e nos interruptores S_1 e S_2 .

(2.12)

$$V_a = (V_o - V_b) \left(1 - e^{-\frac{D_2 T_s}{\tau}} \right) + V_b \quad (2.13)$$

As equações (2.12) e (2.13) formam um sistema linear de duas equações e duas variáveis, isolando as variáveis V_a e V_b , obtêm-se as equações (2.14) e (2.15).

A expressão para ondulação de tensão no capacitor é obtida a partir das equações (2.14) e (2.15), e o resultado é apresentado na equação (2.16), pois $\Delta V_c = V_b - V_a$.

$$V_a = \frac{V_o e^{\frac{D_1 T_s}{\tau}} \left(e^{\frac{D_2 T_s}{\tau}} - 1 \right) + V_i \left(e^{\frac{D_1 T_s}{\tau}} - 1 \right)}{e^{\frac{(D_1 + D_2) T_s}{\tau}} - 1} \quad (2.14)$$

$$V_b = (V_i - V_a) \left(1 - e^{-\frac{D_1 T_s}{\tau}} \right) + V_a \quad V_b = \frac{V_o e^{\frac{D_2 T_s}{\tau}} \left(e^{\frac{D_1 T_s}{\tau}} - 1 \right) + V_o \left(e^{\frac{D_2 T_s}{\tau}} - 1 \right)}{e^{\frac{(D_1 + D_2) T_s}{\tau}} - 1} \quad (2.15)$$

$$\Delta V_c = (V_i - V_o) \frac{\left(e^{\frac{D_1 T_s}{\tau}} - 1 \right) \left(e^{\frac{D_2 T_s}{\tau}} - 1 \right)}{e^{\frac{(D_1 + D_2) T_s}{\tau}} - 1} \quad (2.16)$$

2.4.1.2 Resistência Equivalente

Para o conversor básico, quando operando sem carga, a tensão de saída é igual à tensão de entrada, ou seja, o ganho ideal para esta topologia é igual a 1, como apresentado na equação (2.17).

$$G_{ideal} = \frac{V_o}{V_i} = 1 \quad (2.17)$$

Quando o conversor está operando com carga, a tensão de saída é menor que seu valor ideal. Isto é devido ao capacitor chaveado estar periodicamente se carregando e descarregando, suprimindo a corrente de saída da carga. Como resultado, a tensão no capacitor tem uma ondulação em alta frequência, apresentada no item 2.4.1.1. Energia elétrica é transformada em energia térmica nas resistências série dos componentes em cada etapa de operação, gerando perdas no conversor; e ela é menor quanto menor for a ondulação de tensão no capacitor, pois a corrente eficaz no capacitor é proporcional à sua ondulação de tensão..

Em regime permanente, é proposto um modelo constituído por um transformador de corrente contínua hipotético e uma resistência de saída para o conversor. A resistência do modelo é chamada aqui de resistência equivalente. A Figura 2.6 apresenta o circuito elétrico do modelo proposto.

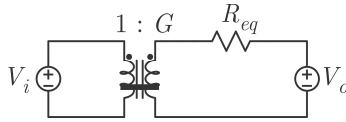


Figura 2.6: Modelo em regime permanente.

A resistência equivalente R_{eq} pode ser expressa através da expressão (2.18), para G igual a 1. Manipulando as equações (2.10), (2.11) e (2.16), obtém-se as equações (2.19) e (2.20). Substituindo, então, estas equações na equação (2.18), obtém-se uma expressão para a resistência equivalente do conversor básico, que é apresentada em (2.21).

$$R_{eq} = \frac{V_i - V_o}{I_o} \quad (2.18)$$

$$I_o = Cf_s (V_b - V_a) \quad (2.19)$$

$$V_i - V_o = (V_b - V_a) \frac{\frac{(D_1 + D_2)T_s}{e^{\frac{\tau}{\tau}} - 1}}{\left(\frac{\frac{D_1 T_s}{e^{\frac{\tau}{\tau}} - 1}}{\left(\frac{D_2 T_s}{e^{\frac{\tau}{\tau}} - 1} \right)} \right)} \quad (2.20)$$

$$R_{eq} = \frac{1}{Cf_s} \frac{\frac{(D_1 + D_2)T_s}{e^{\frac{\tau}{\tau}} - 1}}{\left(\frac{\frac{D_1 T_s}{e^{\frac{\tau}{\tau}} - 1}}{\left(\frac{D_2 T_s}{e^{\frac{\tau}{\tau}} - 1} \right)} \right)} \quad (2.21)$$

Nota-se, então, que a resistência equivalente é função dos parâmetros dos componentes do conversor, da razão cíclica e da frequência de operação.

Para o controle da tensão de saída existem alguns métodos que propõem o controle através da variação da resistência equivalente do conversor, alterando a frequência de operação ou a razão cíclica [7] – [8]. Analisando o circuito equivalente, percebe-se que, com a variação da resistência equivalente, pode-se variar a tensão de saída, possibilitando assim seu controle. Entretanto, o rendimento é prejudicado devido ao aumento da resistência equivalente.

A Figura 2.7 apresenta o comportamento da resistência equivalente do conversor com a variação da frequência de comutação vezes a constante de tempo do circuito, e a Figura 2.8 apresenta seu comportamento com a variação da razão cíclica D_1 no interruptor S_1 e o interruptor S_2 com razão cíclica D_2 igual a $(1-D_1)$. Os valores numéricos dos gráficos são apenas ilustrativos. Nota-se nos gráficos que a resistência equivalente tende a um valor mínimo quando a frequência tende ao infinito e a razão cíclica D_1 a 0,5, considerando D_2 igual a $(1-D_1)$.

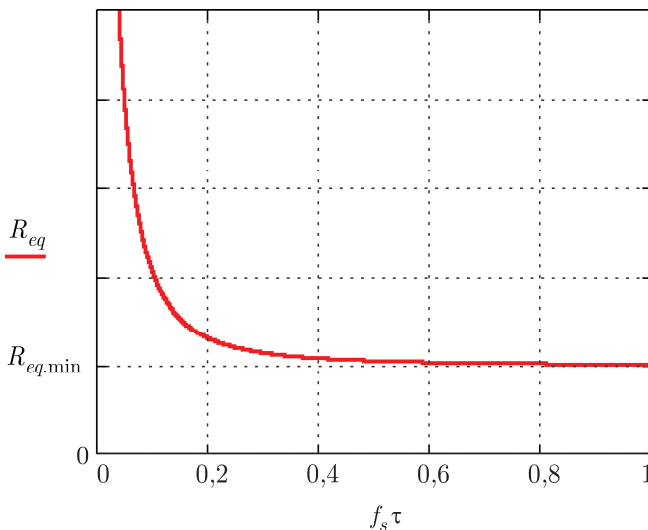


Figura 2.7: Gráfico da resistência equivalente em função da frequência de comutação vezes a constante de tempo.

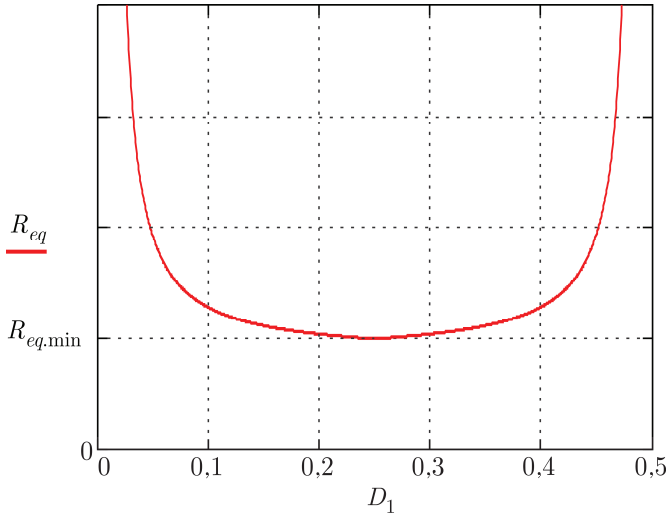


Figura 2.8: Gráfico da resistência equivalente em função da razão cíclica D_1 .

2.4.1.2.1 Resistência Equivalente Mínima

A resistência equivalente do conversor é função dos componentes do conversor, da razão cíclica e da frequência de operação. Deste modo, a resistência equivalente mínima pode ser definida como sendo o limite quando a frequência de comutação tende ao infinito, como mostra a equação (2.22). O resultado analítico é apresentado na equação (2.23).

$$R_{eq.min} = \lim_{f_s \rightarrow \infty} R_{eq} \quad (2.22)$$

$$R_{eq.min} = \left(R_{DS(on)} + RSE \right) \frac{D_1 + D_2}{D_1 D_2} \quad (2.23)$$

Observando o gráfico da Figura 2.8, nota-se que o menor valor de resistência equivalente se dá para razão cíclica de 50%. Com isso, nota-se por meio da equação (2.24) que a resistência equivalente mínima é quatro vezes maior que a resistência do circuito.

$$R_{eq.\min} = 4 \left(R_{DS(on)} + RSE \right) \quad (2.24)$$

2.4.2 Esforços de Corrente

As equações (2.25) e (2.26) descrevem o método utilizado no cálculo dos valores médio e eficaz para obtenção dos esforços de corrente nos componentes do conversor.

Deste modo, as equações (2.27) a (2.31) apresentam as equações analíticas dos esforços de corrente nos componentes.

$$I_{med} = \frac{1}{T_s} \int_0^{T_s} i(t) dt \quad (2.25)$$

$$I_{ef} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i(t)^2 dt} \quad (2.26)$$

$$I_{S1.med} = Cf_s (V_i - V_a) \left(1 - e^{-\frac{D_1}{\tau f_s}} \right) \quad (2.27)$$

$$I_{S1.ef} = \sqrt{\frac{Cf_s}{2 \left(R_{DS(on)} + RSE \right)} (V_i - V_a)^2 \left(1 - e^{-\frac{D_1}{\tau f_s}} \right)} \quad (2.28)$$

$$I_{S2.med} = Cf_s (V_b - V_o) \left(1 - e^{-\frac{D_2}{\tau f_s}} \right) \quad (2.29)$$

$$I_{S2.ef} = \sqrt{\frac{Cf_s}{2(R_{DS(on)} + RSE)} (V_b - V_o)^2 \left(1 - e^{-\frac{D_2}{\tau f_s}}\right)} \quad (2.30)$$

$$I_{C.ef} = \sqrt{I_{S1.ef}^2 + I_{S2.ef}^2} \quad (2.31)$$

2.5 Característica Externa

A característica externa do conversor é definida como a razão entre as tensões de saída e de entrada em função da corrente de saída do conversor. Ela pode ser obtida por meio da análise do circuito equivalente apresentado na Figura 2.9. Como resultado, obtém-se a equação (2.32).

A característica externa apresenta um comportamento linear, ou seja, a tensão de saída diminui linearmente com o aumento da corrente de saída, como visto na Figura 2.10. O eixo horizontal está parametrizado em função de I_o , R_{eq} e V_i conforme a equação (2.33).

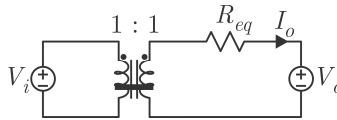


Figura 2.9: Circuito equivalente do conversor básico.

$$\frac{V_o}{V_i} = 1 - \frac{I_o R_{eq}}{V_i} \quad (2.32)$$

$$\frac{I_o}{I_{op}} = \frac{I_o R_{eq}}{V_i} \quad (2.33)$$

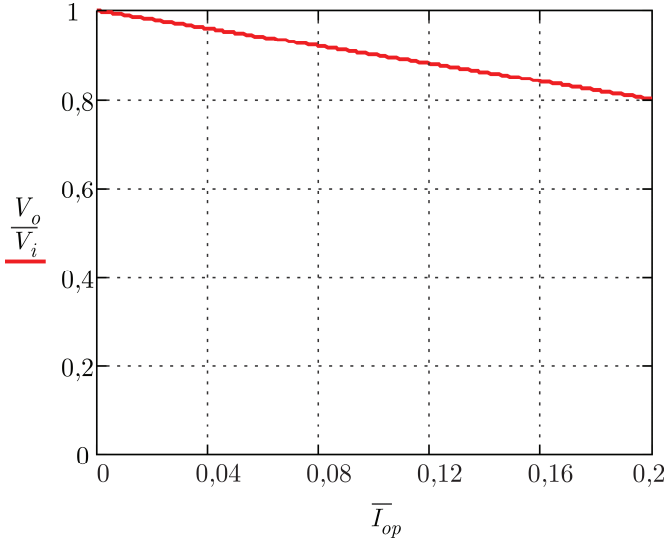


Figura 2.10: Característica externa do conversor básico.

2.6 Característica Ganho x Potência

A característica ganho por potência do conversor apresenta o comportamento da razão entre a tensão de saída e de entrada em função da potência de saída. Substituindo a equação (2.34) na equação (2.32) e isolando V_o por V_i , obtém-se (2.35).

A tensão de saída diminui quadraticamente com o aumento da potência de saída, como mostrado na Figura 2.11. O eixo horizontal (2.36) está parametrizado em função de P_o , R_{eq} e V_i conforme a equação. Este comportamento é matematicamente idêntico ao caso do circuito elétrico de um divisor resistivo.

$$I_o = \frac{P_o}{V_o} \quad (2.34)$$

$$\frac{V_o}{V_i} = \frac{1}{2} \left(1 \pm \sqrt{1 - \frac{4R_{eq}P_o}{V_i^2}} \right) \quad (2.35)$$

$$\overline{P_{op}} = \frac{4R_{eq}P_o}{V_i^2} \quad (2.36)$$

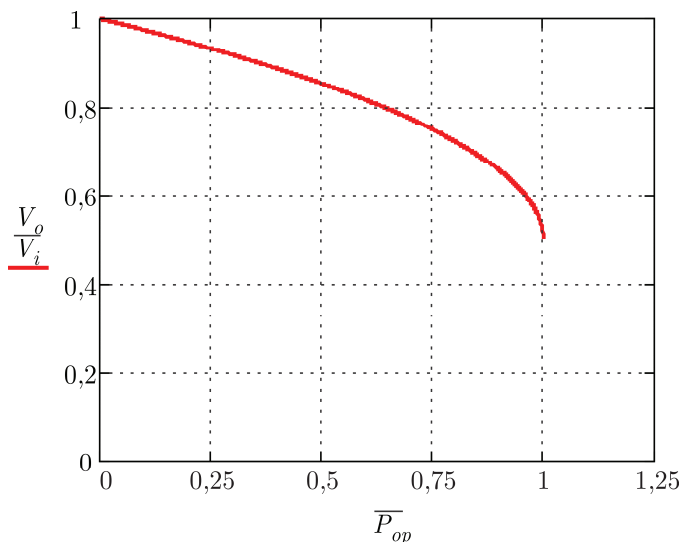


Figura 2.11: Característica ganho x potência do conversor básico.

2.7 Conclusão

Conclui-se que é possível realizar transferência de energia através de conversores estáticos a capacitores chaveados com elevado rendimento, entretanto ainda não existem técnicas de controle para controlar a tensão de saída sem prejudicar o rendimento do conversor.

Os componentes do circuito devem ser projetados buscando baixas resistências série, maior capacitância e maior frequência de comutação, em termos de perdas por condução. A relação entre a constante de tempo do circuito e a frequência de operação deve ser levada em consideração no projeto, para ter-se a menor resistência equivalente.

Capítulo 3

Conversor CC-CC Abaixador com 4 Estágios: Estudo, Análise e Projeto

3.1 Introdução

A partir dos estudos sobre o conversor a capacitor chaveado básico, este capítulo apresenta o conversor a capacitor chaveado CC-CC abaixador com 4 estágios, em que a tensão ideal de saída é igual a $\frac{1}{4}$ da tensão de entrada.

Este capítulo apresenta, também, o estudo experimental do conversor. O intuito desta experimentação é comprovar os conceitos e estudar as características de implementação dos conversores a capacitores chaveados.

3.2 Análise Inicial do Conversor

O conversor proposto se baseia na célula *Valley-Fill* expandida para quatro estágios. A célula *Valley-Fill* é apresentada na Figura 3.1. Pode-se entender a célula *Valley-Fill* como sendo o acoplamento série dos capacitores quando a corrente flui no sentido de cima para baixo e o acoplamento paralelo quando a corrente flui no sentido de baixo para cima da célula.

A topologia proposta é apresentada na Figura 3.2. A modulação utilizada é apresentada na Figura 3.3, em que o interruptor S_1 é comandado pelo sinal *PWM* 1 e o interruptor S_2 pelo sinal *PWM* 2.

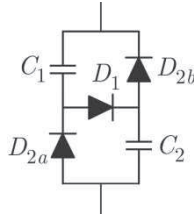


Figura 3.1: Célula *Valley-Fill*.

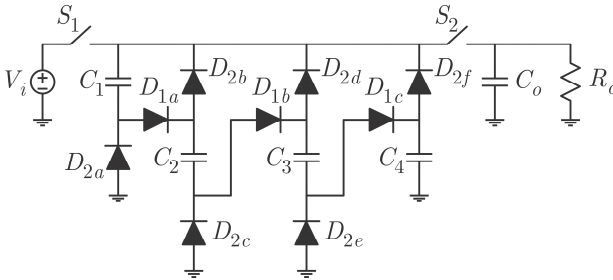


Figura 3.2: Conversor a capacitor chaveado abaixador $G=1/4$.

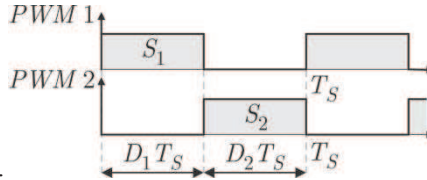


Figura 3.3: Sinal de comando dos interruptores.

3.3 Princípio de Funcionamento

Analogamente ao conversor básico, este possui duas etapas de operação. A primeira, chamada de etapa de carga dos capacitores, onde os mesmos são associados em série e conectados à fonte de entrada, como mostra a Figura 3.4. Durante a segunda etapa, os capacitores são associados em paralelo e conectados à fonte de saída do conversor, como apresentado na Figura 3.5.

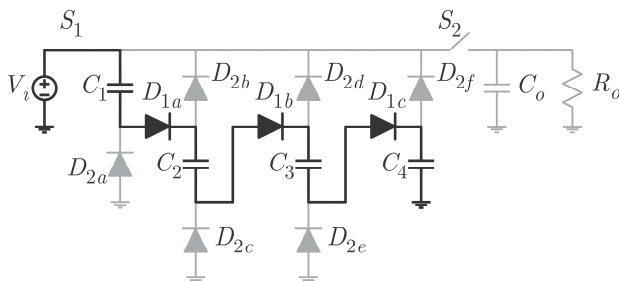


Figura 3.4: Primeira etapa de operação.

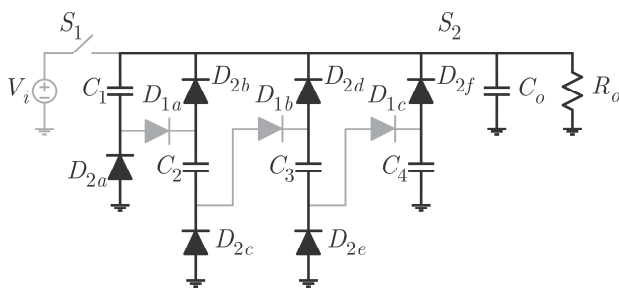


Figura 3.5: Segunda etapa de operação.

3.3.1 Etapas de Operação

3.3.1.1 Primeira Etapa

Considerando apenas as resistências parasitas dos componentes, a primeira etapa de operação pode ser representada pelo circuito resultante apresentado na Figura 3.7. Para tal, foram considerados idênticos todos os componentes e associados os elementos comuns. Sendo $R_{DS(on)}$ a resistência *Drain-to-Source* de condução do interruptor, R_D a resistência de condução do diodo e RSE a resistência série equivalente do capacitor chaveado.

Sendo esta a etapa de carga, a tensão em cada capacitor partirá de um valor inicial, chamado de V_a , em direção a $V_i/4$ (devido a utilização de capacitores chaveados idênticos), como pode ser observado na Figura 3.6. Neste caso, os interruptores são comandados de forma similar ao apresentado na Figura 2.2.

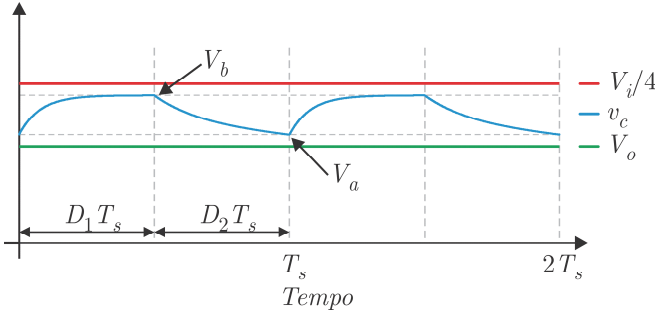


Figura 3.6: Tensão de entrada referenciada à saída, tensão de saída e no capacitor chaveado em regime permanente.

O equacionamento é realizado de forma análoga à apresentada no Cap. 2. A equação (3.1) apresenta a equação da tensão em um capacitor chaveado em função de v_x , onde v_x é a tensão no capacitor equivalente resultante da associação série da primeira etapa de operação. As equações (3.2) a (3.4) apresentam as funções no tempo da tensão e corrente em um dos capacitores chaveados e a constante de tempo para esta etapa de operação, respectivamente. As equações (3.5) e (3.6) apresentam os limites de tensão no capacitor para esta etapa.

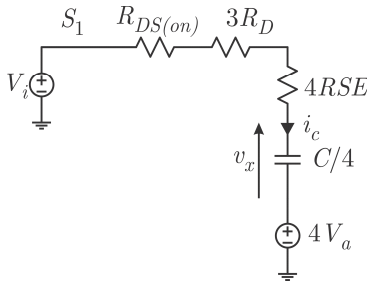


Figura 3.7: Circuito resultante para a primeira etapa de operação.

$$v_c(t) = \frac{v_x}{4} + V_a \quad (3.1)$$

$$v_c(t) = \left(\frac{V_i}{4} - V_a \right) \left(1 - e^{-\frac{t}{\tau_1}} \right) \quad (3.2)$$

$$i_c(t) = \frac{\left(\frac{V_i}{4} - V_a \right) e^{-\frac{t}{\tau_1}}}{\frac{1}{4} R_{DS(on)} + \frac{3}{4} R_D + RSE} \quad (3.3)$$

$$\tau_1 = \left(\frac{1}{4} R_{DS(on)} + \frac{3}{4} R_D + RSE \right) C \quad (3.4)$$

$$v_c(0) = V_a \quad (3.5)$$

$$v_c(D_1 T_s) = V_b \quad (3.6)$$

3.3.1.2 Segunda Etapa

A segunda etapa de operação é a etapa de descarga dos capacitores: eles são então associados em paralelo entre si e em série com a carga. Entretanto, os capacitores centrais possuem em série dois diodos, e os capacitores externos possuem apenas um diodo em série durante esta etapa. Com o intuito de simplificar o equacionamento, considerou-se a existência de dois diodos em série nos capacitores externos, visto que esta simplificação tem pouco impacto no resultado.

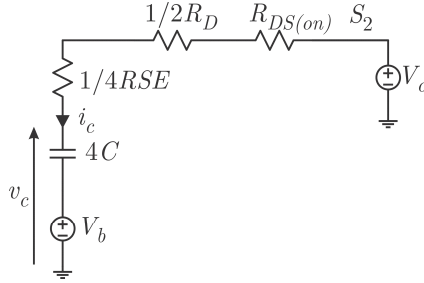


Figura 3.8: Circuito resultante para a segunda etapa de operação.

O equacionamento desta etapa é realizado de forma análoga à apresentada no Cap. 2. As equações (3.7) a (3.9) apresentam as funções no tempo da tensão e corrente em um dos capacitores chaveados e a constante de tempo para esta etapa de operação, respectivamente. As equações (3.10) e (3.11) apresentam os limites de tensão no capacitor para esta etapa.

$$v_c(t) = (V_o - V_b) \left(1 - e^{-\frac{t}{\tau_2}} \right) \quad (3.7)$$

$$i_c(t) = \frac{(V_o - V_b) e^{-\frac{t}{\tau_2}}}{4R_{DS(on)} + 2R_D + RSE} \quad (3.8)$$

$$\tau_2 = (4R_{DS(on)} + 2R_D + RSE)C \quad (3.9)$$

$$v_c(0) = V_b \quad (3.10)$$

$$v_c(D_2T_s) = V_a \quad (3.11)$$

3.4 Análise Matemática

3.4.1 Circuito Equivalente

Conforme explicitado no Cap. 2, os conversores a capacitores chaveados podem ser representados por um circuito equivalente, constituído basicamente por uma resistência equivalente.

O conversor CC-CC abaixador com 4 estágios, que é objeto de estudo neste capítulo, possui ganho estático ideal igual a $1/4$. Devido ao ganho estático ideal ser diferente de 1, é preciso observar a qual lado – entrada ou saída – o circuito equivalente será referenciado. Nesta análise, sempre será considerado como referência o lado da saída, ou seja, V_o .

3.4.1.1 Ondulação de Tensão nos Capacitores

A ondulação de tensão nos capacitores chaveados é definido como ΔV_c , e considera que todos os capacitores possuem a mesma variação de tensão, idealmente.

A variação de carga nos capacitores é diretamente proporcional à corrente média de carga e o período de comutação, como apresentado na equação (3.12). Utilizando a Figura 3.8 como referência, observa-se a associação paralela de capacitores. Desta forma, a variação de carga total é diretamente proporcional à capacitância equivalente dos capacitores chaveados (durante a segunda etapa de operação) e a variação de tensão dos mesmos, conforme apresentado na equação (3.13).

$$\Delta Q = I_o T_s \quad (3.12)$$

$$\Delta Q = (4C) \Delta V_c \quad (3.13)$$

A Figura 3.9 apresenta as formas de onda de corrente nos interruptores e em um capacitor chaveado. Nota-se que a corrente em um capacitor chaveado é, na primeira etapa, igual à corrente no interruptor S_1 , pois os capacitores estão conectados em série com o interruptor; e na segunda etapa de operação, a corrente nos capacitores é igual a um quarto da corrente no interruptor S_2 , pois os

capacitores estão conectados em paralelo entre si e em série com o interruptor.

Para encontrar a expressão da ondulação de tensão nos capacitores, é necessário obter as expressões para V_a e V_b em função de V_i e V_o . Utilizando as equações, da primeira etapa de operação, (3.1) e (3.6), obtém-se a equação (3.14). E, para a segunda etapa de operação, utilizando as equações (3.7) e (3.11), obtém-se a equação (3.15).

$$V_b = \left(\frac{V_i}{4} - V_a \right) \left(1 - e^{-\frac{D_1 T_s}{\tau_1}} \right) + V_a \quad (3.14)$$

$$V_a = (V_o - V_b) \left(1 - e^{-\frac{D_2 T_s}{\tau_2}} \right) + V_b \quad (3.15)$$

As equações (3.14) e (3.15) formam um sistema linear de duas equações e duas variáveis, sendo assim, isolando as variáveis V_a e V_b obtém-se as equações (3.16) e (3.17).

A expressão para ondulação de tensão no capacitor é obtida a partir das equações (3.16) e (3.17), e o resultado é apresentado na equação (3.18).

$$V_a = \frac{\frac{V_i}{4} \left(e^{\frac{D_1 T_s}{\tau_1}} - 1 \right) + V_o e^{\frac{D_1 T_s}{\tau_1}} \left(e^{\frac{D_2 T_s}{\tau_2}} - 1 \right)}{e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) T_s} - 1} \quad (3.16)$$

$$V_b = \frac{\frac{V_i}{4} e^{\frac{D_2 T_s}{\tau_2}} \left(e^{\frac{D_1 T_s}{\tau_1}} - 1 \right) + V_o \left(e^{\frac{D_2 T_s}{\tau_2}} - 1 \right)}{e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) T_s} - 1} \quad (3.17)$$

$$\Delta V_c = \left(\frac{V_i}{4} - V_o \right) \frac{\left(e^{\frac{D_1 T_s}{\tau_1}} - 1 \right) \left(e^{\frac{D_2 T_s}{\tau_2}} - 1 \right)}{e^{\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) T_s} - 1} \quad (3.18)$$

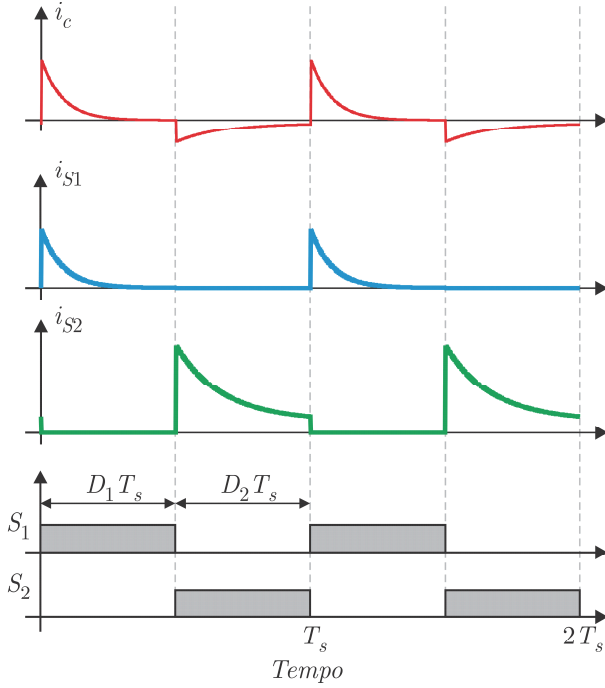


Figura 3.9: Forma de onda da corrente em um capacitor e nos interruptores S_1 e S_2 .

3.4.1.2 Resistência Equivalente

O conversor abaixador de 4 estágios, quando opera sem carga, possui ganho estático ideal igual $1/4$, como apresentado na equação (3.19).

Em regime permanente, o circuito equivalente que representa este conversor é apresentado na Figura 3.10. A resistência equivalente do circuito está inserida do lado direito do transformador de corrente contínua hipotético, ou seja, está referenciada à saída do conversor.

A partir do circuito equivalente, é possível obter uma expressão para a resistência equivalente – equação (3.20) – manipulando as equações (3.12) e (3.13), obtém-se a expressão (3.21); e manipulando a equação (3.18), obtém-se a equação (3.22). Substituindo as equações (3.21) e (3.22) na equação (3.20), obtém-se a expressão (3.23) para a resistência equivalente do conversor. Esta expressão é similar à expressão obtida para o conversor básico, seu comportamento em relação à frequência de chaveamento e a razão cíclica dos interruptores são similares à apresentada na Figura 2.7 e na Figura 2.8.

$$G_{ideal} = \frac{V_o}{V_i} = \frac{1}{4} \quad (3.19)$$

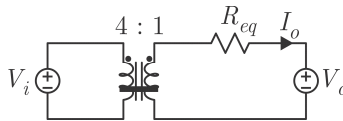


Figura 3.10: Modelo em regime permanente do conversor abaixador de 4 estágios.

$$R_{eq} = \frac{\left(\frac{V_i}{4} - V_o \right)}{I_o} \quad (3.20)$$

$$I_o = 4Cf_s (V_b - V_a) \quad (3.21)$$

$$\frac{V_i}{4} - V_o = (V_b - V_a) \frac{e^{\left(\frac{D_1 + D_2}{\tau_1 + \tau_2}\right)T_s} - 1}{\begin{pmatrix} \frac{D_1 T_s}{\tau_1} & -1 \end{pmatrix} \begin{pmatrix} \frac{D_2 T_s}{\tau_2} & -1 \end{pmatrix}} \quad (3.22)$$

$$R_{eq} = \frac{1}{4Cf_s} \frac{e^{\left(\frac{D_1 + D_2}{\tau_1 + \tau_2}\right)T_s} - 1}{\begin{pmatrix} \frac{D_1 T_s}{\tau_1} & -1 \end{pmatrix} \begin{pmatrix} \frac{D_2 T_s}{\tau_2} & -1 \end{pmatrix}} \quad (3.23)$$

Similarmente à análise realizada para o conversor básico, a resistência equivalente possui um valor mínimo com a variação da frequência de chaveamento e a razão cíclica – as equações (3.24) e (3.25) apresentam o resultado. A equação (3.26) apresenta a resistência equivalente mínima para razão cíclica de 50% dos interruptores.

$$R_{eq.min} = \lim_{f_s \rightarrow \infty} R_{eq} \quad (3.24)$$

$$R_{eq.min} = \frac{\left(16R_{DS(on)} + 8R_D + 4RSE\right)D_1 + \left(R_{DS(on)} + 3R_D + 4RSE\right)D_2}{16D_1D_2} \quad (3.25)$$

$$R_{eq.min} = 2,125R_{DS(on)} + 1,375R_D + RSE \quad (3.26)$$

3.4.1.3 Influência da Queda de Tensão nos Diodos

Até este momento, a queda de tensão nos diodos não havia sido modelada. O circuito equivalente da Figura 3.11 apresenta a influência da queda de tensão dos diodos. Nota-se que a tensão

máxima de saída não será $1/4$ como previsto teoricamente no item 3.4.1.2, o que é apresentado na equação (3.27).

A análise realizada para obtenção da resistência equivalente não é afetada pela consideração da queda de tensão nos diodos.

$$G = \frac{1}{4} - \frac{11}{4} \frac{V_D}{V_i} \quad (3.27)$$

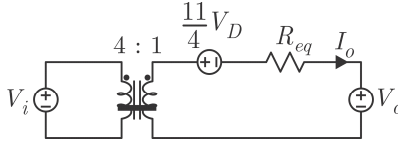


Figura 3.11: Modelo em regime permanente.

3.4.2 Característica Externa

A característica externa do conversor abaixador de 4 estágios é apresentada na equação (3.28).

$$V_o = \frac{1}{4}V_i - \frac{11}{4}V_D - R_{eq}I_o \quad (3.28)$$

A Figura 3.12 apresenta o gráfico da característica externa deste conversor estático. O eixo das abscissas é descrito em função da corrente de carga parametrizada, conforme mostra a equação (3.29).

$$\frac{\overline{I_{op}}}{V_i} = \frac{4R_{eq}I_o}{V_i} \quad (3.29)$$

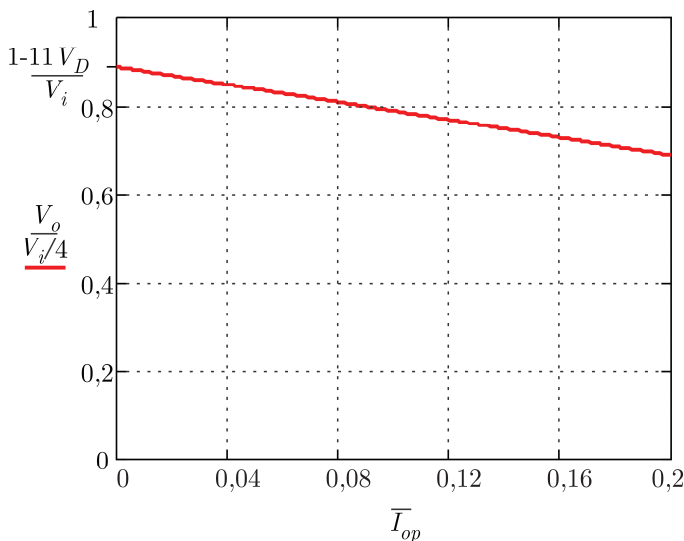


Figura 3.12: Característica externa.

3.4.3 Esforços de Corrente

Os esforços de corrente são obtidos similarmente ao método apresentado no item 2.4.2.

Os resultados serão apresentados nas equações a seguir, para os interruptores S_1 e S_2 e para os diodos $D_{2(a-f)}$. Para os diodos $D_{1(a-c)}$, os esforços de corrente são os mesmos que para o interruptor S_1 .

A corrente eficaz nos capacitores chaveados pode ser obtida a partir dos valores eficazes das correntes nos interruptores.

As equações (3.30) a (3.35) apresentam os esforços de corrente nos interruptores e diodos; as equações (3.36) e (3.37) apresentam os esforços de correntes nos capacitores chaveados e no capacitor de saída respectivamente, para o capacitor de saída foi considerado que a carga é uma fonte de corrente contínua.

$$I_{S1.med} = \frac{1}{4} C f_s \left(1 - e^{-\frac{D_1 T_s}{\tau_1 C}} \right) (V_i - 4V_a - 3V_D) \quad (3.30)$$

$$I_{S1.ef} = \sqrt{\frac{C f_s \left(1 - e^{-\frac{2D_1 T_s}{\tau_1 C}} \right) (V_i - 4V_a - 3V_D)^2}{8(R_{DS(on)} + 3R_D + 4RSE)}} \quad (3.31)$$

$$I_{S2.med} = 4C f_s \left(1 - e^{-\frac{D_2 T_s}{\tau_2 C}} \right) (V_o - V_b + 2V_D) \quad (3.32)$$

$$I_{S2.ef} = \sqrt{\frac{8C f_s \left(1 - e^{-\frac{2D_2 T_s}{\tau_2 C}} \right) (V_o - V_b + 2V_D)^2}{4R_{DS(on)} + 2R_D + RSE}} \quad (3.33)$$

$$I_{D2,(a-j).med} = C f_s \left(1 - e^{-\frac{D_2 T_s}{\tau_2 C}} \right) (V_o - V_b + 2V_D) \quad (3.34)$$

$$I_{D2,(a-j).ef} = \sqrt{\frac{C f_s \left(1 - e^{-\frac{2D_2 T_s}{\tau_2 C}} \right) (V_o - V_b + 2V_D)^2}{2(4R_{DS(on)} + 2R_D + RSE)}} \quad (3.35)$$

$$I_{C.ef} = \sqrt{I_{S1.ef}^2 + \left(\frac{I_{S2.ef}}{4}\right)^2} \quad (3.36)$$

$$I_{Co.ef} = \sqrt{I_{S2.ef}^2 - I_o^2} \quad (3.37)$$

3.4.4 Esforços de Tensão

Os esforços de tensão nos componentes do conversor podem ser analisados observando as Figura 3.13 e 3.14. A Tabela 3.1 apresenta os esforços de tensão nos componentes do conversor. Nota-se que os interruptores possuem os maiores esforços de tensão, junto com os diodos D_{2a} e D_{2f} , e que os diodos $D_{2(a-f)}$ não possuem os mesmos esforços de tensão.

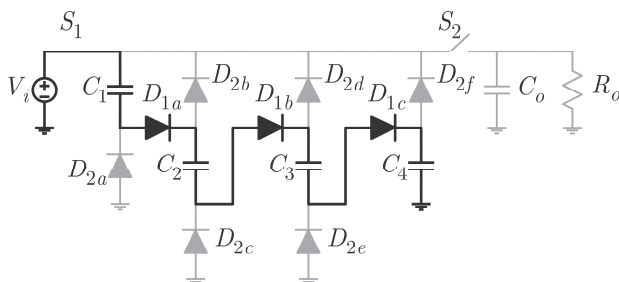


Figura 3.13: Primeira etapa de operação.

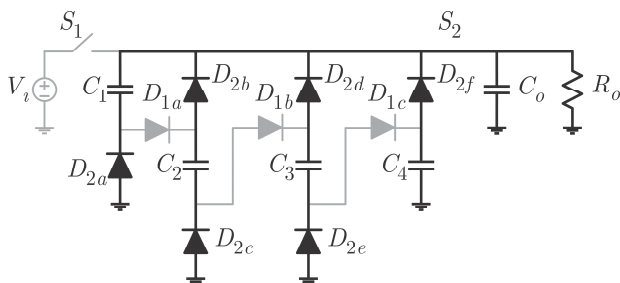


Figura 3.14: Segunda etapa de operação.

Tabela 3.1: Esforços de tensão nos componentes

Esforços de tensão		Esforços de tensão	
S_1	$3/4 V_i$	D_{2a}	$-3/4 V_i$
S_2	$3/4 V_i$	D_{2b}	$-1/4 V_i$
C_s	$1/4 V_i$	D_{2c}	$-1/2 V_i$
D_{1a}	$-1/4 V_i$	D_{2d}	$-1/2 V_i$
D_{1b}	$-1/4 V_i$	D_{2e}	$-1/4 V_i$
D_{1c}	$-1/4 V_i$	D_{2f}	$-3/4 V_i$

3.5 Projeto

Com o objetivo de aprimorar o conhecimento, foi proposta como objeto de estudo a experimentação do conversor abaixador com 4 estágios.

O objetivo é estudar quais são os pontos importantes e críticos no projeto, constatar a validade da análise matemática e dos resultados teóricos. Não é meta estudar o controle desta topologia, apenas sua característica em regime permanente em malha aberta.

3.5.1 Especificação

Como primeiro projeto, propôs-se um conversor estático a capacitor chaveado CC-CC abaixador com 4 estágios, o qual foi objeto de estudo no Cap. 3.

A especificação do projeto encontra-se na Tabela 3.2. Estes foram os dados iniciais que propiciaram o desenvolvimento do protótipo.

Tabela 3.2: Especificação do projeto.

Especificação	
Tensão de entrada	48 V
Tensão de saída	12 V
Potência de saída	120 W
Rendimento	95%
Frequência de chaveamento	50 kHz

O desenvolvimento do protótipo foi norteado pelas especificações acima, com o objetivo de miniaturização do mesmo.

3.5.2 Dimensionamento

O dimensionamento dos componentes que constituem o conversor foi realizado buscando atingir a potência de saída com o rendimento esperado. Entretanto, sabe-se que a tensão de saída será menor que 12 V, devido à característica externa do conversor estático.

O software Mathcad 14 foi utilizado para realizar o equacionamento do circuito. Os dados dos esforços de corrente e tensão nos componentes são apresentados na Tabela 3.3 e Tabela 3.4.

Tabela 3.3: Esforços de corrente nos componentes.

Esforços de corrente		Esforços de corrente	
$I_{S1.med}$	2,9 A	$I_{Co.ef}$	10,5 A
$I_{S1.ef}$	4,3 A	$I_{D1,(a-c).med}$	2,9 A
$I_{S2.med}$	11,6 A	$I_{D1,(a-c).ef}$	4,3 A
$I_{S2.ef}$	15,6 A	$I_{D2,(a-j).med}$	2,9 A
$I_{Cs.ef}$	5,8 A	$I_{D2,(a-j).ef}$	3,9 A

Tabela 3.4: Esforços de tensão nos componentes.

Esforços de tensão		Esforços de tensão	
S_1	36 V	$D_{2,a}$	-36 V
S_2	36 V	$D_{2,b}$	-12 V
C_s	12 V	$D_{2,c}$	-24 V _i
$D_{1,a}$	-12 V	$D_{2,d}$	-24 V
$D_{1,b}$	-12 V	$D_{2,e}$	-12 V
$D_{1,c}$	-12 V	$D_{2,f}$	-36 V

Todos os componentes dimensionados neste projeto foram escolhidos dentro da disponibilidade do laboratório, ou seja, eram componentes já existentes no estoque do laboratório e de baixo custo.

Observando a Tabela 3.4, nota-se que a máxima tensão reversa nos diodos é variável, dependendo da posição do diodo na topologia. Entretanto, buscando a utilização da menor variedade de componentes possível, propôs-se dimensionar um mesmo diodo para todas as posições.

3.5.2.1 Interruptores e Diodos

Dentro da viabilidade do laboratório, o interruptor que possui as melhores características elétricas é o IRFP064N – *International Rectifier*.

Este componente foi escolhido por possuir a menor resistência *Drain-Source* de condução entre os interruptores disponíveis ($R_{DS(on)} = 8 \text{ m}\Omega$ para 25°C).

Em relação aos diodos formadores da célula *Valley-Fill*, buscou-se dentro das opções disponíveis os diodos com as menores quedas de tensão direta e resistência série. Optou-se então por diodos Schottky, que possuem como característica principal a baixa queda de tensão direta. Dentro dos diodos disponíveis no laboratório, o componente que possui as melhores características elétricas e a disponibilidade necessária, visto que para esta topologia são utilizados 9 diodos, foi o 83CNQ100 – *International Rectifier*.

As principais características elétricas do interruptor e diodo escolhidos estão apresentadas na Tabela 3.5.

Tabela 3.5: Principais características elétricas dos componentes escolhidos.

Interruptor <i>Mosfet</i> IRFP064N	
<i>Drain-to-Source Breakdown Voltage</i>	55 V
<i>Static Drain-to-Source On-Resistance</i>	8 m Ω

Diodo <i>Schottky</i> 83CNQ100	
<i>Max. DC Reverse Voltage</i>	100 V
<i>Max. Average Forward Current</i>	80 A

O equacionamento dos esforços elétricos e térmicos dos semicondutores encontra-se no Apêndice A, apêndice este que é uma planilha elaborada utilizando o software Mathcad.

3.5.2.2 Capacitores

Os capacitores utilizados neste protótipo foram dimensionados considerando, também, a disponibilidade em laboratório.

Entre os componentes disponíveis, o capacitor que melhor se enquadrou nas características buscadas foi o capacitor eletrolítico B41859A5337M00 – EPCOS.

A Tabela 3.6 apresenta as principais características do capacitor eletrolítico escolhido. Note-se que a máxima corrente permitida é muito menor que a corrente eficaz que passa por um capacitor chaveado ou pelo capacitor de saída. Devido a isso, conforme cálculos apresentados no Apêndice A, foram utilizados 8 capacitores em paralelo para construir um capacitor chaveado e 16 para construir o capacitor de saída. Desta forma, foram criados 5 bancos de capacitores: 4 de capacitores chaveados e um do capacitor de saída.

Tabela 3.6: Principais características do capacitor eletrolítico escolhido.

Capacitor Eletrolítico B41859A5337M00 EPCOS <i>Very Low Impedance family – 105 °C</i>	
Tensão	25 V
Capacitância	330 μ F
Resistência série máxima a 120 Hz/20°C	70 m Ω
Impedância máxima a 100 kHz/20°C	8,4 m Ω
Teste de durabilidade	4000 h
Dimensões diâmetro x altura	10 x 16 mm
Corrente máxima a 100 kHz/105 °C	830 mA

3.5.2.3 Circuito de Comando

Para gerar os sinais de comando dos interruptores, foram utilizados apenas circuitos analógicos. O diagrama de blocos do circuito de comando é apresentado na Figura 3.15.

A Figura 3.16 apresenta o esquemático do circuito de comando; o gerador de PWM composto basicamente pelo circuito integrado UC3524; os dois circuitos integrados HEF4069 são utilizados para construir os blocos inversor e geradores de tempo morto. Os resistores variáveis R1, R3 e R4 são utilizados para ajustar a razão cíclica e o tempo morto.

A Figura 3.17 apresenta o esquemático do circuito de comando gerador dos blocos restantes de circuito de comando. Primeiramente, existe um circuito de comando do transistor T2, incluindo o circuito de anti-saturação formado pelos diodos D4, D5, D6 e D7. O transistor T2 é utilizado para comandar o transformador de pulso TR1, este por sua vez transfere o pulso ao circuito de saída e ao *gate* do interruptor. Lembrando que existe um segundo circuito idêntico utilizado para comandar o segundo interruptor.

A Figura 3.18 apresenta o esquemático do estágio de potência, apresentando todos os elementos compositores do conversor CC-CC abaixador de 4 estágios.

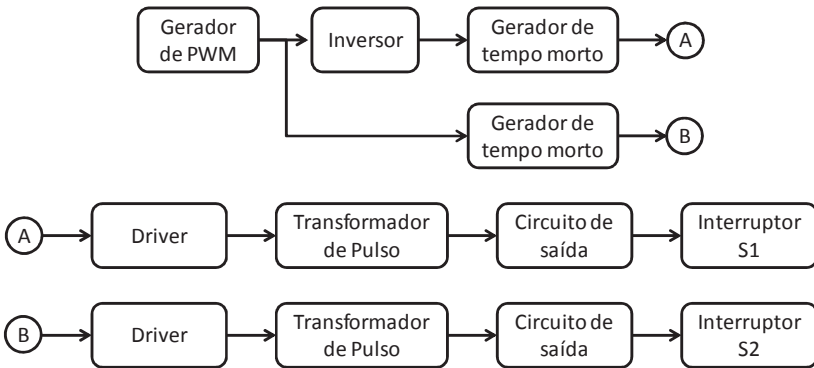


Figura 3.15: Fluxograma do circuito de comando.

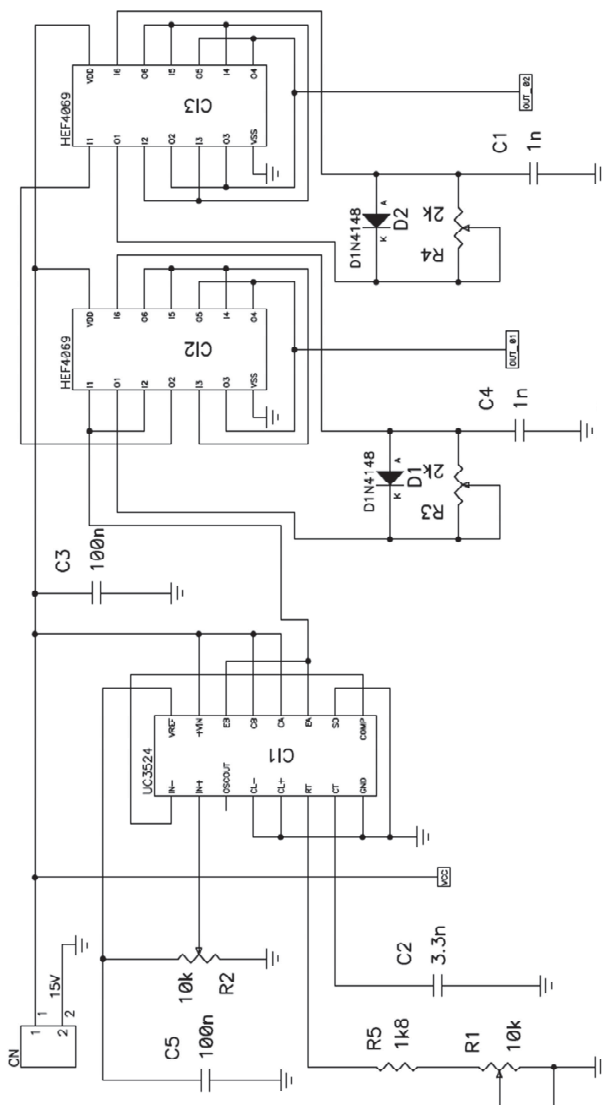


Figura 3.16: Circuito gerador de PWM, inversor e geradores de tempo morto.

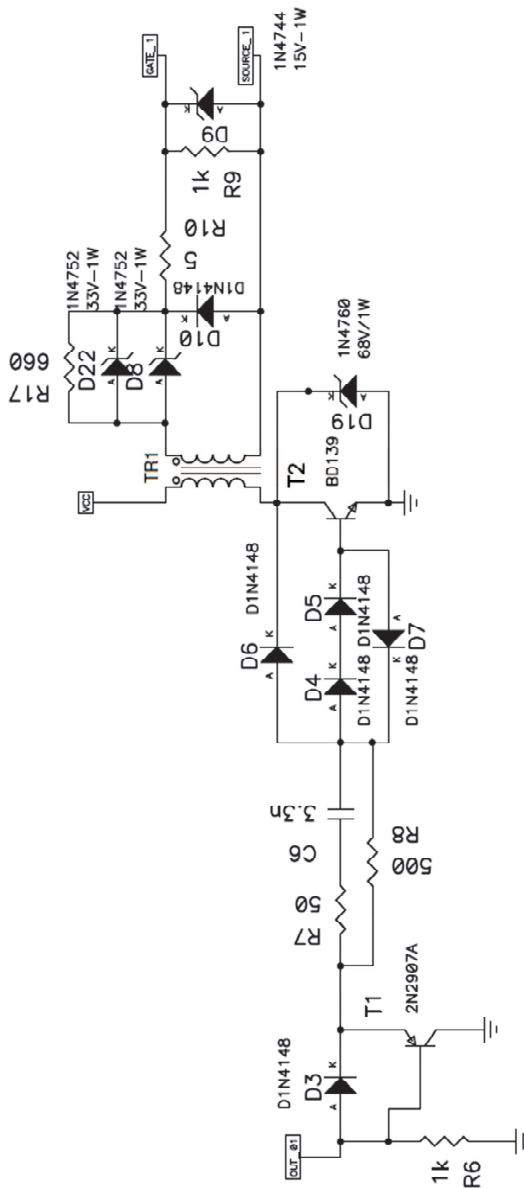


Figura 3.17: Esquemático do *driver*, circuito de anti-saturação, transformador de pulso e circuito de *gate*.

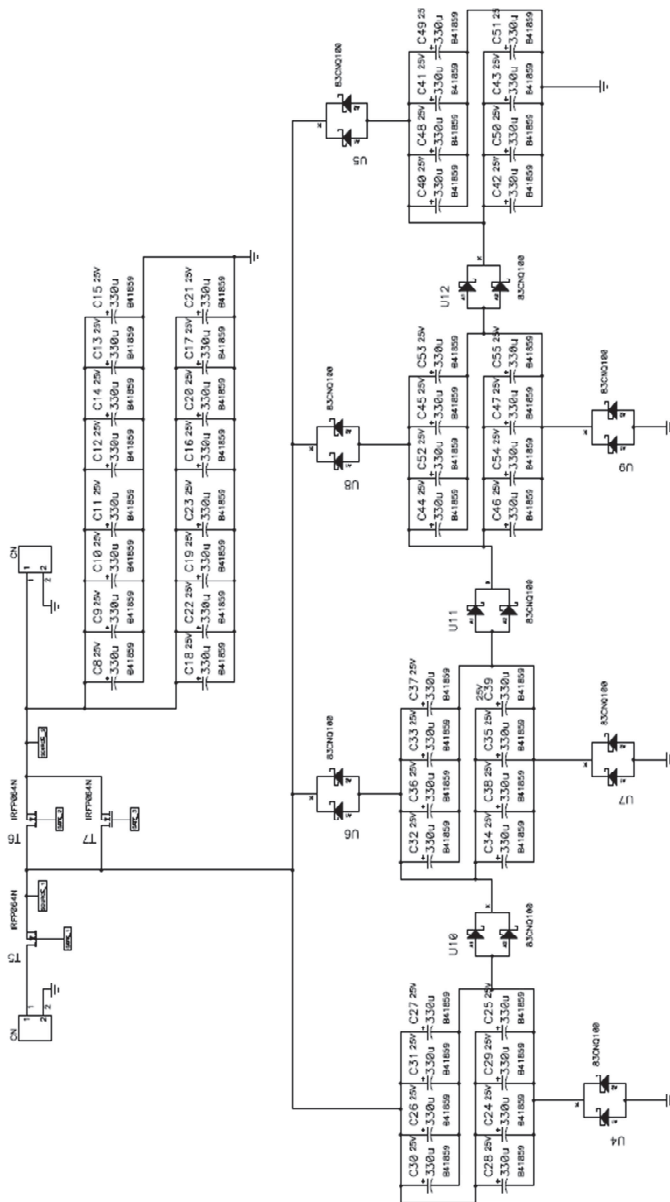


Figura 3.18: Esquema do circuito de potência.

3.5.3 O protótipo

O protótipo desenvolvido é apresentado na Figura 3.19. Na figura, é possível observar os 4 capacitores chaveados, formados cada por 8 capacitores eletrolíticos em paralelo; e o capacitor de saída, formado por 16 capacitores. Ao lado do conector de entrada encontram-se os interruptores e arranjados entre os capacitores os diodos que constituem a topologia.

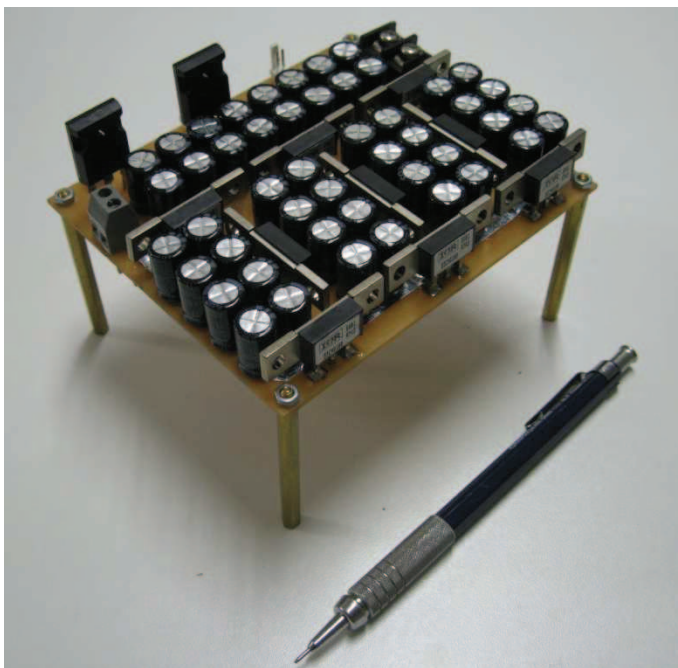


Figura 3.19: Foto do protótipo implementado.

3.5.4 Simulação e Resultados Experimentais

O protótipo proposto foi desenvolvido e testado visando avaliar suas principais características e compará-las com as análises teóricas.

As diferenças entre os resultados experimentais e teóricos se deve principalmente à influência das indutâncias parasitas dos componentes e layout, somando-se a variação dos parâmetros intrínsecos dos componentes que constituem o conversor, como mostra a Tabela 3.7, esta apresenta um comparativo entre os valores esperados teoricamente e os valores obtidos experimentalmente.

Para obter os valores da Tabela 3.7 é necessário multiplicar por $V_i/4$ os valores da equação que é apresentada na Figura 3.20.

Tabela 3.7: Comparação entre os valores teórico e experimental.

Característica externa	Teórico	Experimental
Tensão máxima de saída	11,45 V	11,54 V
Resistência equivalente	58,9 mΩ	191 mΩ

A Figura 3.20 apresenta o resultado comparativo do ganho estático do protótipo em relação ao resultado obtido por simulação. A partir da mesma simulação.

Na Figura 3.20, é apresentada a equação experimental da característica externa em relação ao ganho estático do conversor. Deve-se então correlacionar a equação do gráfico da Figura 3.20 com a equação (3.38).

$$\frac{V_o}{V_i/4} = 1 - 11 \frac{V_D}{V_i} - \frac{R_{eq}}{V_i/4} I_o \quad (3.38)$$

A Figura 3.21 apresenta o resultado do rendimento do protótipo, o resultado obtido esta abaixo do valor esperado devido às indutâncias e resistências parasitas não consideradas na análise teórica.

O ganho estático máximo obtido com este protótipo foi de 0,962, ou seja a tensão de saída máxima foi 11,55 V, com o rendimento máximo atingindo 89%. Nota-se que para valores de

corrente de saída maiores que 5 A, ambos os gráficos apresentam os mesmos valores, ou seja, o ganho estático e o rendimento do protótipo são iguais.

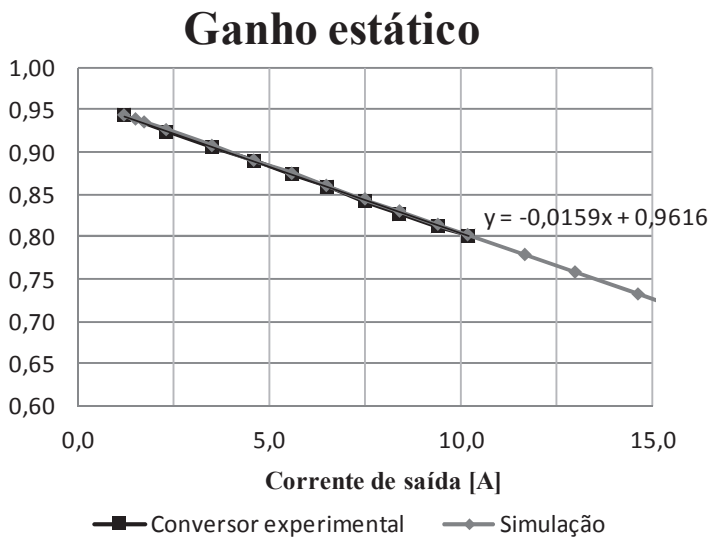


Figura 3.20: Ganho estático: comparação entre simulação e valores experimentais.

Tabela 3.8: Comparação entre os parâmetros teóricos e os utilizados na simulação.

Parâmetros	Teórico	Simulação
Resistência direta dos interruptores	8,8 mΩ	8,8 mΩ
Resistência parasita série aos interruptores	-	30,2 mΩ
Indutância parasita série aos interruptores	-	100 nH
Resistência direta dos diodos	20 mΩ	25 mΩ
Tensão direta dos diodos	0,2 V	0,2 V
Resistência série dos capacitores chaveados	15 mΩ	20 mΩ
Resistência série do capacitor de saída	7,5 mΩ	10 mΩ
Resistência representando perdas constantes	-	2848 Ω
Razão cíclica	0,45	0,45

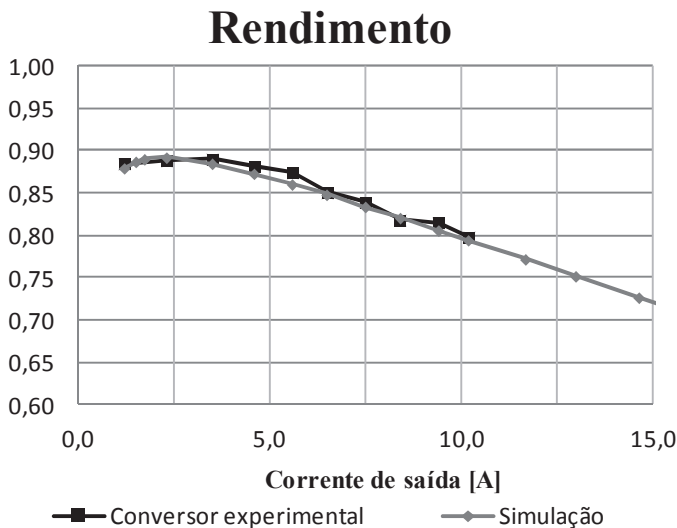


Figura 3.21: Rendimento: comparação entre simulação e valores experimentais.

A simulação foi desenvolvida com o intuito de se aproximar ao máximo dos resultados do protótipo. A Tabela 3.8 apresenta os valores utilizados nos cálculos teóricos e na simulação, apresentando desta forma os pontos divergentes.

Analisando a Tabela 3.8, nota-se que algumas simplificações teóricas afetam consideravelmente o resultado. As resistências série do circuito precisaram ser ajustadas e resistências e indutâncias parasitas precisam ser acrescentadas. Todas as resistências e indutâncias parasitas foram unificadas e incluídas em série com os interruptores para simplificar a simulação.

Os componentes adicionados em série buscam simular resistências e indutâncias parasitas distribuídas pelos circuitos. A resistência paralela visa simular as perdas constantes de comutação dos semicondutores.

3.6 Formas de Onda Experimentais

Abaixo, são apresentadas algumas das formas de onda mais relevantes deste conversor.

A Figura 3.22 apresenta a tensão (forma de onda de baixo) e corrente (forma de onda de cima) no interruptor S_1 com 100% de carga. Nota-se que a forma de onda de corrente esperada era uma função exponencial de carga de capacitor. Entretanto, o efeito das indutâncias parasitas limitou a derivada de subida da corrente que, teoricamente, tenderia ao infinito. Nota-se também que não foram observadas sobretensões no interruptor.

A corrente no interruptor S_1 , vista na Figura 3.22, é a corrente de entrada do conversor. Esta corrente possui muitas harmônicas de alta frequência, o que gera muitas perdas, ondulação da tensão de entrada e baixo fator de potência.

A Figura 3.23 apresenta a corrente em um dos capacitores chaveados (de cima) e a tensão no interruptor S_1 com 100% de carga. A Figura 3.24 apresenta a corrente no capacitor de saída (em cima) e a tensão no interruptor S_1 com 100% de carga. Nota-se que o efeito causado pelas indutâncias parasitas também aparece na corrente nos capacitores.

A Figura 3.25 apresenta a forma de onda da corrente de carga (de cima) e a tensão de saída (de baixo) com 100% de carga.

Analisando os componentes utilizados, conclui-se que os componentes que mais contribuem para a existência de indutâncias parasitas são os capacitores eletrolíticos. As indutâncias parasitas somadas à alta frequência de chaveamento geram este efeito à forma de onda de corrente nos componentes. Para reduzirmos este efeito, é necessário utilizarmos capacitores com menores indutâncias parasitas.

Devido às indutâncias parasitas a resistência equivalente não possui seu valor mínimo quanto maior é a frequência de comutação: a partir de um determinado ponto, quanto mais elevada for a frequência de chaveamento, maior será a resistência equivalente. Este tópico será novamente abordado no próximo capítulo.

A Figura 3.26 e a Figura 3.27 apresentam a tensão (de baixo) e corrente (de cima) no interruptor S_1 com 50% e 10% de carga, respectivamente. É possível observar que foi reduzido o efeito das indutâncias parasitas com a redução da carga.

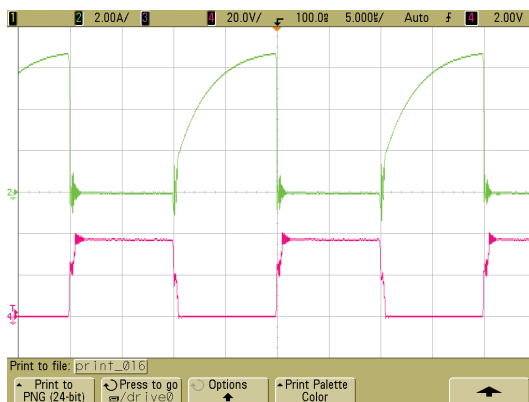


Figura 3.22: Forma de onda da corrente no interruptor S_1 (de cima) 2 A/div e a tensão sobre o interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.



Figura 3.23: Forma de onda da corrente no capacitor chaveado (de cima) 5 A/div e a tensão sobre o interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o=10$ A.

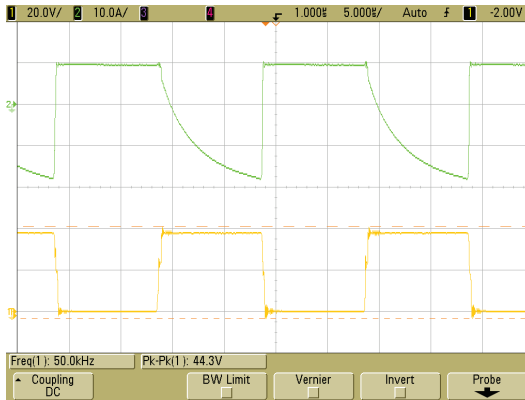


Figura 3.24: Forma de onda da corrente no capacitor de saída (de cima) 10 A/div e a tensão sobre o interruptor S_1 (de baixo) 20 V/div, ambos com 5 μs/div. Com 100% de carga, $I_o=10$ A.

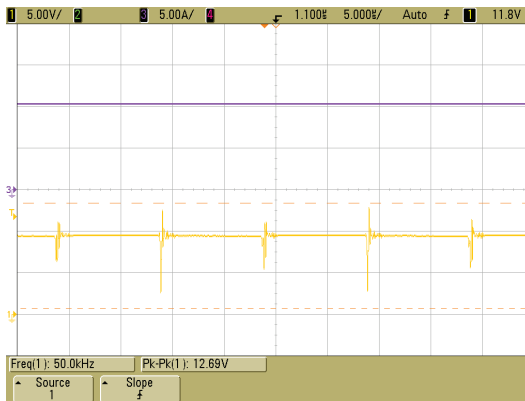


Figura 3.25: Forma de onda da corrente de saída (de cima) 5 A/div e a tensão de saída (de baixo) 5 V/div, ambos com 5 μs/div. Com 100% de carga, $I_o=10$ A.

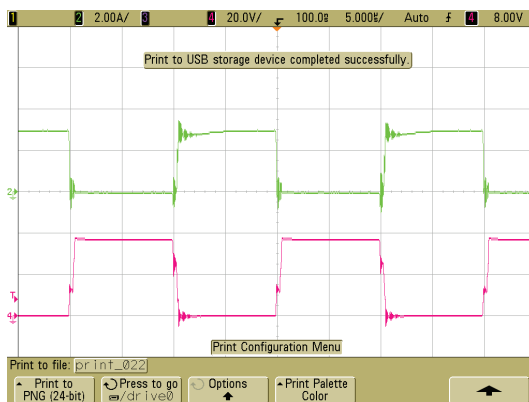


Figura 3.26: Forma de onda da corrente no interruptor S_I (de cima) 2 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 50% de carga, $I_o=5$ A.

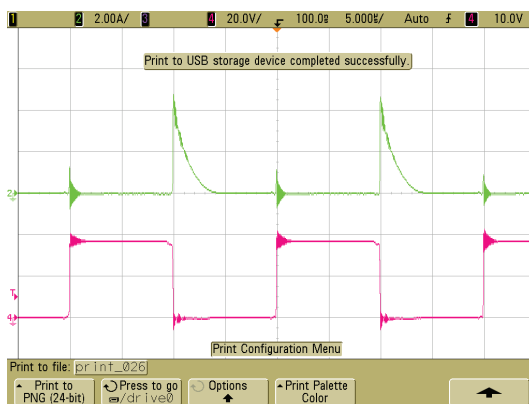


Figura 3.27: Forma de onda da corrente no interruptor S_I (de cima) 2 A/div e a tensão sobre o interruptor S_I (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o=1$ A.

3.7 Conclusão

Neste capítulo, foi apresentado o conversor abaixador com 4 estágios a capacitores chaveados baseado na célula *Valley-Fill*.

As análises teóricas mostram que é possível construir conversores a capacitores chaveados de alta eficiência com alta densidade de potência.

Os resultados experimentais divergiram dos teóricos em função de elementos parasitas e variações paramétricas dos componentes. Desta forma, para reduzir os efeitos dos elementos parasitas, propõe-se a otimização da frequência de chaveamento em função das indutâncias parasitas do circuito e a utilização de capacitores com menores indutâncias parasitas.

A consideração das não idealidades dos componentes é fundamental para a análise destes conversores. Entretanto estes valores variam entre componentes similares devido a variações de processo do mesmo, variam também em função da temperatura, estes valores possuem ordem de grandeza próxima dos elementos parasitas de layout; conclui-se que a metodologia de projeto destes conversores é complexa e de difícil equacionamento. Desta forma, é possível melhorar sensivelmente os resultados deste conversores apenas ajustando o projeto do mesmo.

Capítulo 4

Paralelismo de Conversores CC-CC Abaixador com 4 Estágios

4.1 Introdução

No Cap. 3, foi estudado o conversor abaixador de 4 estágios. Uma das principais desvantagens deste conversor é o fato de a corrente de entrada ser pulsante e com elevado conteúdo harmônico, ou seja, isto torna necessário que a fonte de alimentação deste conversor possua um grande filtro de saída.

Outro ponto crítico deste conversor é o valor eficaz da corrente no capacitor de saída, pois deve filtrar a corrente pulsada proveniente do interruptor S_2 . Devido a isto, o capacitor de saída deste conversor é grande e volumoso, como é observado no protótipo.

Com o objetivo de eliminar esta característica e aproveitando o atributo de miniaturização, propôs-se o paralelismo deste conversor, de forma modular.

O objetivo do paralelismo é gerar um *interleaving* da corrente de entrada e da corrente que deve ser filtrada pelo capacitor de saída, reduzindo assim o espectro harmônico das mesmas.

Propôs-se então o estudo de dois conversores CC-CC abaixadores com 4 estágios em paralelo.

4.2 Associação de Dois Conversores em Paralelo

Como objeto de estudo, têm-se a associação em paralelo de dois conversores CC-CC abaixador com 4 estágios. Como visto no capítulo anterior, a Figura 4.1 apresenta a topologia do conversor e a Figura 4.2 apresenta os sinais de comando dos interruptores S_1 e S_2 .

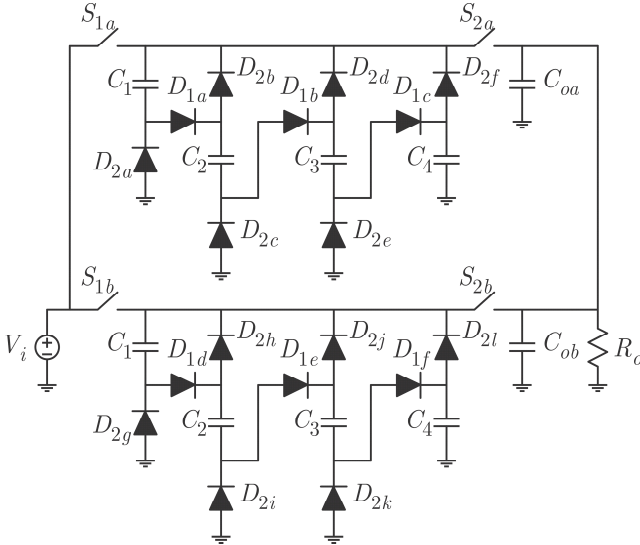


Figura 4.1: Conversor a capacitor chaveado abaixador duplo $G=1/4$.

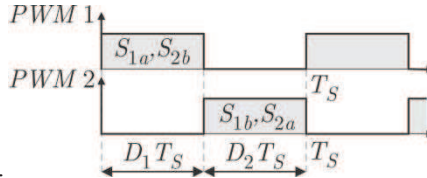


Figura 4.2: Sinal de comando dos interruptores.

Os interruptores são comandados de forma assimétrica para que ocorra o *interleaving* da corrente de entrada.

4.2.1 Princípio de Funcionamento

O princípio de funcionamento deste novo conversor é muito similar ao conversor estudado no Cap. 3. Considera-se que os dois conversores em paralelo são idênticos.

A modulação dos dois conversores será complementar entre si, com o objetivo de que, enquanto um conversor está fornecendo energia à carga, o outro esteja acumulando energia da fonte.

A modulação utilizada é apresentada na Figura 4.2, onde os interruptores S_{1a} e S_{2b} são comandados pelo sinal PWM 1 e, complementarmente, os interruptores S_{1b} e S_{2a} são comandados pelo sinal PWM 2.

A primeira etapa de operação é apresentada na Figura 4.3. Analogamente às etapas de operação do conversor abaixador com 4 estágios, nota-se na Figura 4.3 que o conversor de cima está na etapa de carga dos capacitores chaveados, e o conversor de baixo se encontra na etapa de descarga.

Durante a segunda etapa de operação, o conversor de cima se encontra na etapa de descarga, e o de baixo, na etapa de carga, completando assim um ciclo de operação. Esta etapa é apresentada na Figura 4.4.

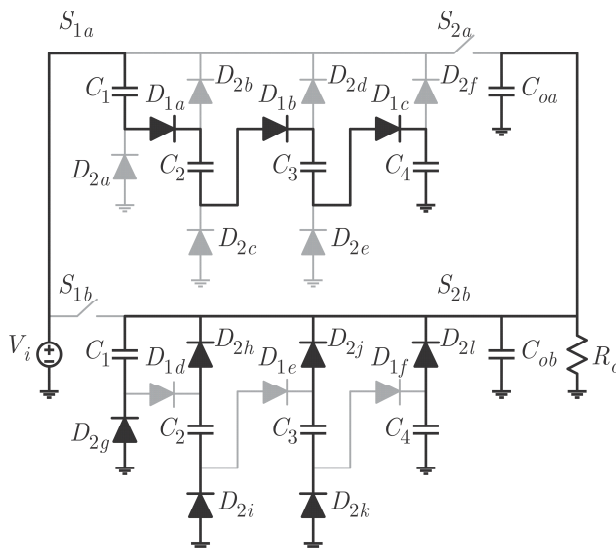


Figura 4.3: Conversor abaixador com 4 estágios Duplo - Primeira etapa de operação.

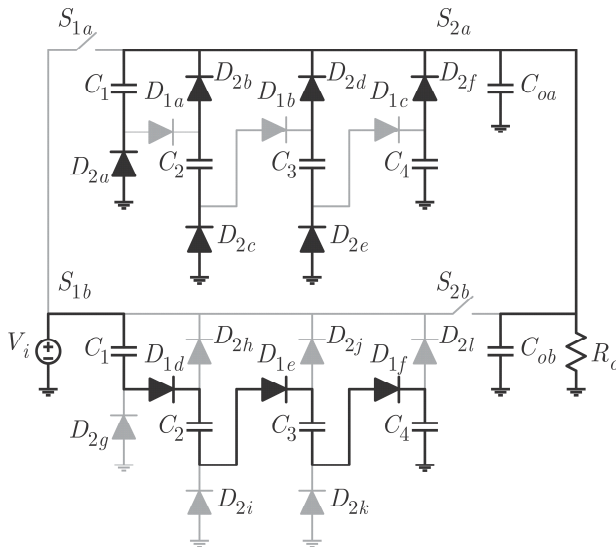


Figura 4.4: Conversor abaixador com 4 estgios Duplo – Segunda etapa de operao.

Ambos os conversores, quando associados em paralelo, funcionam independentemente um do outro e da mesma forma que o conversor abaixador de 4 estgios original. Desta forma, o equacionamento para cada etapa de operao  idntico ao desenvolvido no item 3.3. Desta forma o circuito equivalente do paralelismo , na verdade, a associao em paralelo do circuito equivalente de um conversor nico.

4.2.1.1 Etapas de Operao

A Figura 4.5 apresenta o circuito resultante para a primeira etapa de operao. Nota-se claramente que os conversores esto desacoplados, ou seja, suas funes no tempo sero exatamente as mesmas do conversor original.

Para a segunda etapa de operao, o mesmo desacoplamento ocorre, como  possvel observar na Figura 4.6.

Assim, a anlise matemtica a ser desenvolvida para o paralelismo deste conversor  exatamente igual  anlise do item 3.4.

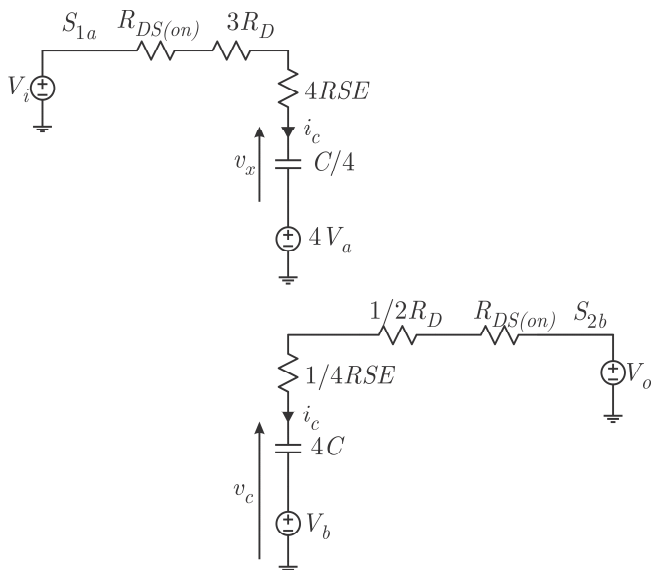


Figura 4.5: Circuito resultante para a primeira etapa de operação.

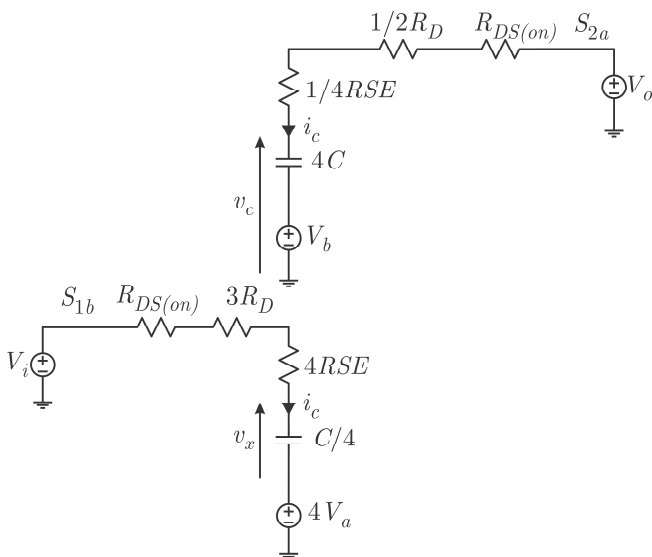


Figura 4.6: Circuito resultante para a segunda etapa de operação.

4.2.2 Formas de Onda

O conversor abaixador de 4 estágios duplo possui formas de onda similares às do conversor simples original. Observando a Figura 4.1, pode-se separar o conversor duplo em dois conversores simples, um em cima e outro em baixo.

Desta forma, a Figura 4.7 apresenta as formas de onda nos interruptores e no capacitor chaveado do conversor superior. Nota-se que as formas de onda são idênticas às do conversor simples.

A Figura 4.8 apresenta as formas de onda no conversor inferior, em que é possível observar que as formas de onda estão defasadas em 180° das formas de onda do conversor superior.

A Figura 4.9 expõe as formas de onda de corrente de entrada e de saída do conversor duplo (a corrente de saída é apresentada sem o filtro de saída). O acoplamento dos dois conversores simples reduz o conteúdo harmônico das formas de onda de corrente: isto acarreta em filtros menores tanto de entrada quanto de saída para o conversor duplo.

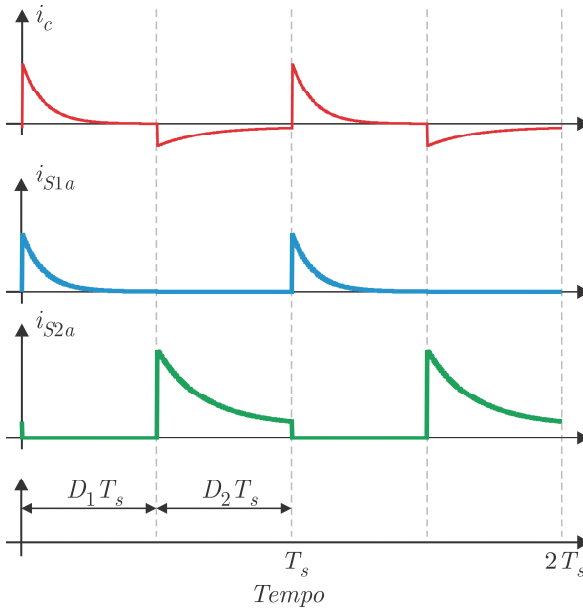


Figura 4.7: Formas de onda do conversor duplo (conversor simples superior).

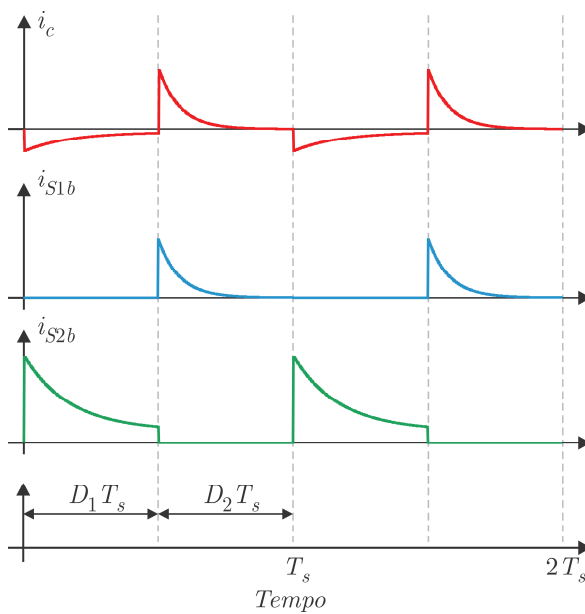


Figura 4.8: Formas de onda do conversor duplo (conversor simples inferior).

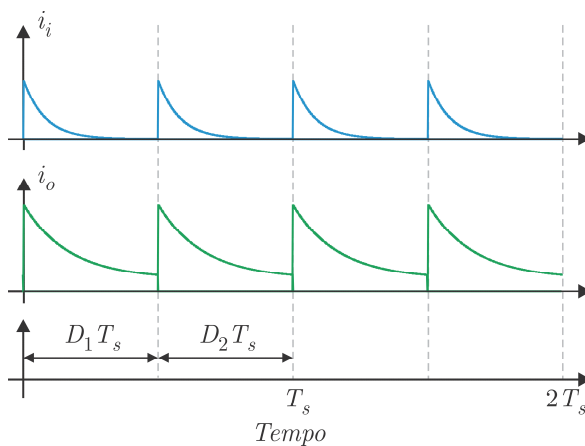


Figura 4.9: Forma de onda da corrente de entrada do conversor duplo e de saída (antes do capacitor de filtro).

4.2.3 Circuito Equivalente

Conforme explicitado acima, o circuito equivalente do conversor duplo é apresentado na Figura 4.10.

Considerando-se que os dois conversores que compõem o conversor duplo são idênticos, a resistência equivalente (R_{eq}) de cada conversor é igual; portanto, este circuito pode ser simplificado, como mostra a Figura 4.11.

A corrente de entrada do conversor duplo será a soma das correntes de entrada dos dois conversores simples, assim como ocorrerá com a corrente de saída.

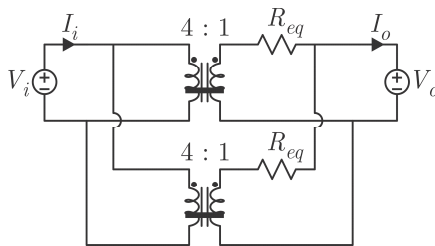


Figura 4.10: Circuito equivalente do conversor duplo.

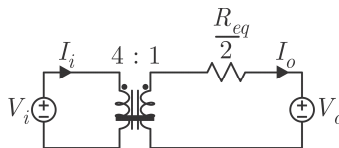


Figura 4.11: Circuito equivalente simplificado do conversor duplo.

4.2.3.1 Resistência Equivalente

A resistência equivalente do conversor duplo é metade da resistência equivalente do conversor simples. A partir da equação (3.23), pode-se obter a expressão da resistência equivalente do conversor duplo. A equação (4.1) apresenta a resistência equivalente do conversor duplo; a equação (4.2) mostra a resistência mínima quando a frequência de comutação tende ao infinito; e a equação (4.3) expõe a resistência equivalente mínima para razão cíclica de 50%.

Devido a esta característica, é esperado que o conversor duplo apresente rendimento mais elevado que o conversor simples para um mesmo valor de corrente de carga.

$$R_{eq.duplo} = \frac{1}{8Cf_s} \frac{e^{\left(\frac{D_1+D_2}{\tau_1} T_s\right)} - 1}{\begin{pmatrix} \frac{D_1 T_s}{e^{\frac{D_1 T_s}{\tau_1}} - 1} & \frac{D_2 T_s}{e^{\frac{D_2 T_s}{\tau_2}} - 1} \end{pmatrix}} \quad (4.1)$$

$$R_{eq.duplo.min} = \frac{\left(16R_{DS(on)} + 8R_D + 4RSE\right)D_1 + \left(R_{DS(on)} + 3R_D + 4RSE\right)D_2}{32D_1D_2} \quad (4.2)$$

$$R_{eq.duplo.min} = \frac{17}{16}R_{DS(on)} + \frac{11}{16}R_D + \frac{1}{2}RSE \quad (4.3)$$

4.2.3.2 Influência da Queda de Tensão nos Diodos

A influência da queda de tensão nos diodos que compõem o conversor duplo se faz da mesma forma que a apresentada no item 3.4.1.3.

A Figura 4.12 apresenta o circuito equivalente do conversor duplo, considerando a queda de tensão nos diodos: este é a associação em paralelo do circuito equivalente do conversor simples.

A partir do circuito equivalente, é possível realizar uma simplificação devido aos dois conversores simples serem idênticos. O resultado da simplificação é apresentado na Figura 4.13.

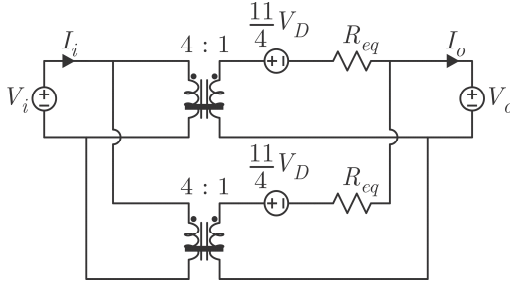


Figura 4.12: Circuito equivalente do conversor duplo considerando a queda de tensão dos diodos.

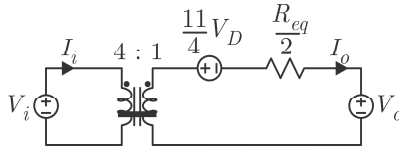


Figura 4.13: Circuito equivalente simplificado do conversor duplo considerando a queda de tensão dos diodos.

4.2.3.3 Característica Externa

A característica externa do conversor abaixador de 4 estágios é apresentada na equação (4.4).

$$V_o = \frac{1}{4}V_i - \frac{11}{4}V_D - \frac{R_{eq}}{2}I_o \quad (4.4)$$

A Figura 4.14 apresenta o gráfico da característica externa deste conversor estático. O eixo das abscissas é descrito em função da corrente de carga parametrizada, conforme é apresentado na equação (4.5).

$$\overline{I_{op}} = \frac{2R_{eq}I_o}{V_i} \quad (4.5)$$

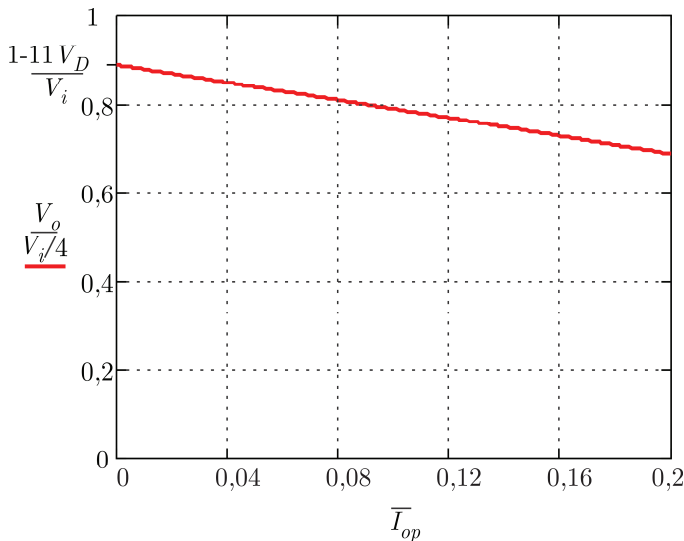


Figura 4.14: Característica externa.

4.2.4 Esforços de Corrente

Os esforços de corrente do conversor duplo são idênticos aos esforços de corrente de um conversor simples, com exceção da corrente de entrada e do capacitor de saída do conversor.

A corrente de entrada do conversor duplo é a composição da corrente de entrada dos dois conversores simples, como mostra a Figura 4.9. As equações do valor médio e eficaz da corrente de entrada do conversor duplo em função das correntes de entrada dos conversores simples são apresentadas nas equações (4.6) e (4.7), respectivamente.

$$I_{i.med} = I_{S1a.med} + I_{S1b.med} \quad (4.6)$$

$$I_{i.ef} = \sqrt{I_{S1a.ef}^2 + I_{S1b.ef}^2} \quad (4.7)$$

A equação do valor eficaz da corrente no capacitor de saída é apresentada na equação (4.8).

$$I_{Co.ef} = \sqrt{I_{S2a.ef}^2 + I_{S2b.ef}^2 - I_o^2} \quad (4.8)$$

Caso o conversor duplo seja constituído a partir de dois conversores simples – cada um com o seu capacitor de saída, considerando que sejam capacitores idênticos –, a corrente se dividirá igualmente entre os dois conversores. Desta forma, o valor eficaz da corrente de cada capacitor de saída é dado pela equação (4.9). Devem-se dimensionar os conversores simples idênticos para evitar assimetria de correntes.

$$I_{Coi.ef} = \frac{\sqrt{I_{S2a.ef}^2 + I_{S2b.ef}^2 - I_o^2}}{2} \quad (4.9)$$

4.2.5 Esforços de Tensão

Os esforços de tensão do conversor duplo são exatamente os mesmos esforços de cada conversor simples.

Os esforços de tensão em um conversor simples são apresentados no item 3.4.4.

4.2.6 Projeto

Para realizar a experimentação do conversor abaixador de 4 estágios duplo, foram utilizados dois conversores simples, os quais foram desenvolvidos de acordo com o projeto apresentado no Cap. 3.

Os conversores foram montados com os mesmos componentes – incluindo os capacitores de saída –, embora a redução do conteúdo harmônico da corrente de saída torne possível reduzir e unificar os capacitores de saída dos dois conversores simples em um só.

4.2.7 Resultados Experimentais

Os novos protótipos foram testados individualmente e apresentaram resultados similares aos do protótipo desenvolvido no Cap. 3. Os dois novos protótipos foram conectados em paralelo, conforme a Figura 4.1.

No Cap. 3, observou-se grande influência das indutâncias parasitas e, devido a isto, foi realizada a variação da frequência de operação e avaliado em qual frequência se tem o máximo ganho estático.

A Figura 4.15 apresenta o resultado: a frequência de comutação foi variada de 500 Hz a 100 kHz e a carga foi mantida constante em 10 A. Nota-se que, a partir de 5 kHz, o ganho estático começa a decair devido à influência das indutâncias parasitas. A frequência onde se obtém o máximo ganho estático é em 5 kHz. Não foi observado ruído audível durante o teste.

A avaliação do conversor foi realizada, então, em duas frequências: 5 e 50 kHz.

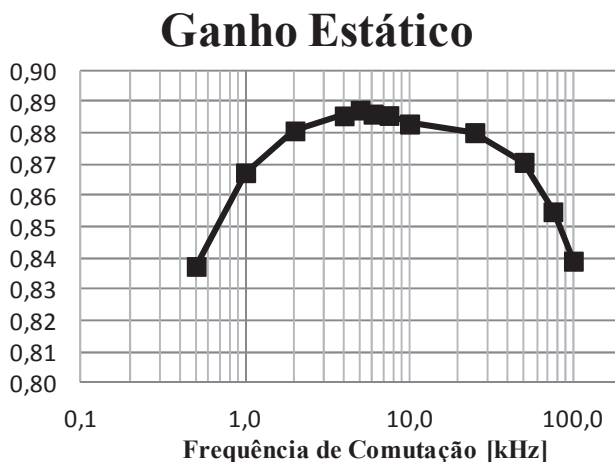


Figura 4.15: Ganho estático do conversor duplo em função da frequência de comutação com $I_o = 10$ A.

A Figura 4.16 apresenta a curva de característica externa do conversor, operando a 5 kHz e a 50 kHz. É possível observar que a inclinação da reta do ganho estático do conversor operando a 5 kHz é menor, o que resulta em uma menor resistência equivalente. A Tabela 4.1 apresenta um comparativo entre o conversor duplo operando a 5 e a 50 kHz e o conversor simples, conclui-se que o conversor duplo operando na frequência ótima possui a menor resistência equivalente e consequentemente o melhor rendimento.

A Figura 4.17 apresenta o gráfico do rendimento do conversor duplo em função da corrente de carga. O conversor duplo operando a 5 kHz apresentou rendimento máximo de 91% com 7 A de carga, e o conversor quando operando a 50 kHz apresentou rendimento máximo de 90%, com 5 A de carga. Com 21 A de carga, o conversor duplo operando a 5 kHz apresentou rendimento de 85%, e o conversor operando a 50 kHz teve rendimento de 80%. Neste ponto, a potência de entrada de ambos os conversores era de aproximadamente 250 W, e a potência de saída do conversor era de 210 W @5 kHz e de 200 W @50 kHz.

Tabela 4.1: Comparação entre os valores do conversor operando a 5 e 50 kHz e o conversor simples.

Característica externa	5 kHz	50 kHz	Simples 5 kHz
Tensão máxima de saída	11,31 V	11,48 V	11,54 V
Resistência equivalente	52,8 mΩ	86,4 mΩ	191 mΩ

A Figura 4.18 apresenta o gráfico da característica externa do conversor duplo operando a 50 kHz e do conversor simples. Conclui-se que a resistência equivalente do conversor duplo é metade do valor do conversor simples. Observa-se também que, para um mesmo valor do ganho estático, o conversor duplo entrega o dobro de corrente de carga.

A Figura 4.19 apresenta o gráfico do rendimento do conversor duplo operando a 50 kHz e do conversor simples. Conclui-se que para o mesmo valor de corrente de carga o conversor duplo possui rendimento significativamente mais elevado que o conversor simples; e que, o conversor duplo possui o mesmo rendimento que o conversor simples para o dobro valor de corrente de carga do conversor simples.

Ganho estático

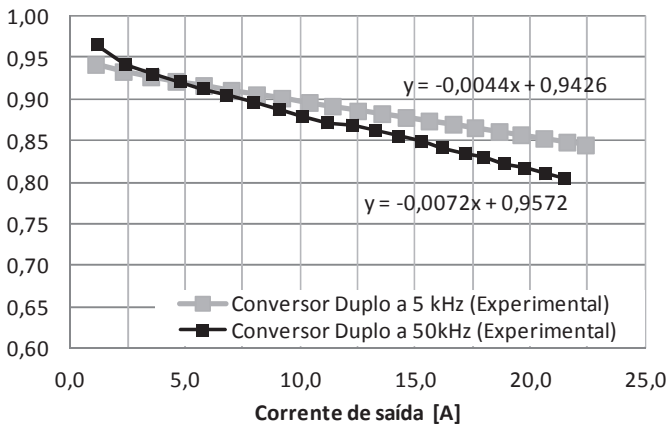


Figura 4.16: Ganho estático conversor duplo: comparação entre o conversor operando com frequência de operação de 5 kHz e 50 kHz.

Rendimento

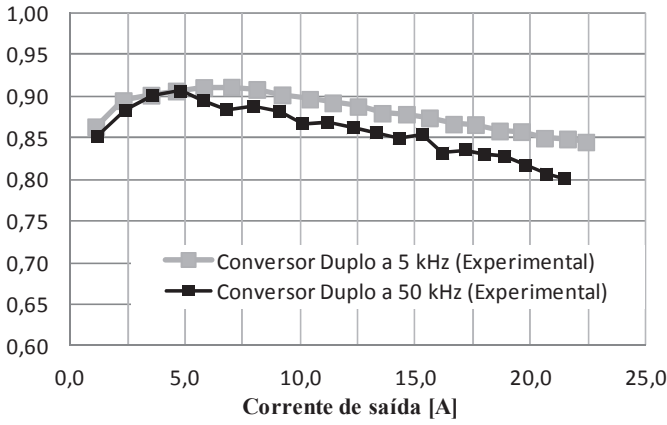


Figura 4.17: Rendimento conversor duplo: comparação entre o conversor operando com frequência de operação de 5 kHz e 50 kHz.

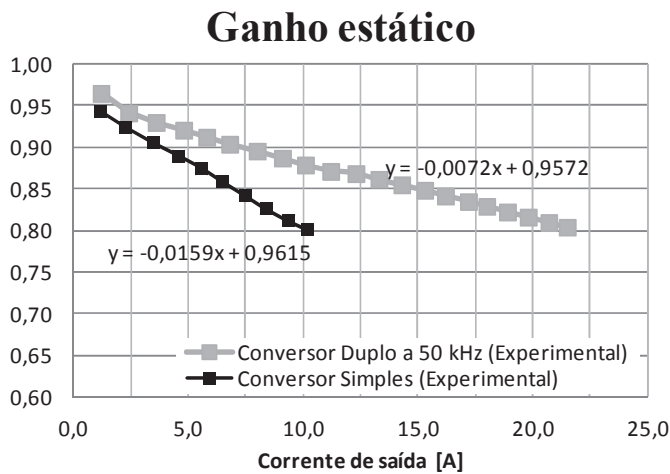


Figura 4.18: Ganho estático: comparação entre o conversor Duplo operando a 50 kHz e o conversor simples.

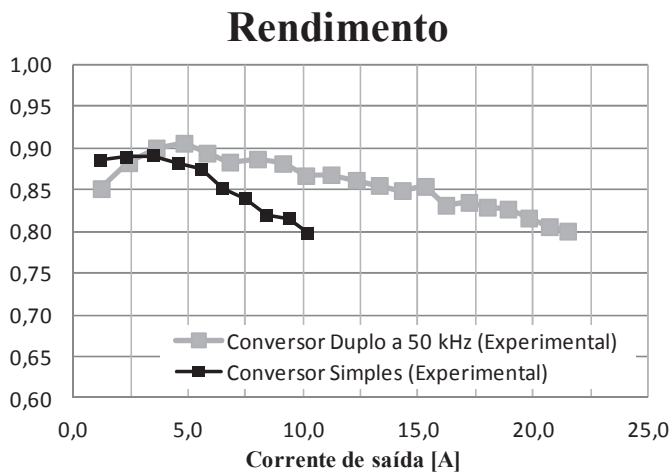


Figura 4.19: Rendimento: comparação entre o conversor Duplo operando a 50 kHz e o conversor simples.

4.2.8 Formas de Onda Experimentais

As formas de onda experimentais que comprovam o correto funcionamento do conversor são apresentadas nesta seção.

A Figura 4.20 apresenta a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente de entrada do conversor duplo (forma de onda de cima), com 10% de carga ($I_o = 1$ A). Durante um período de comutação, existe a corrente de entrada dos dois conversores simples. Nota-se que um dos conversores possui um pico de corrente levemente maior devido a ter menores elementos parasitas.

A Figura 4.21 mostra a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente de entrada do conversor duplo (forma de onda de cima), com 100% de carga ($I_o = 10$ A). Durante um período de comutação, é possível observar a corrente de entrada do conversor duplo ser formada pela corrente de entrada dos dois conversores simples e também o reduzido conteúdo harmônico.

A Figura 4.22 expõe a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente no capacitor chaveado I_{C1} (forma de onda de cima em verde) e a corrente no capacitor chaveado I_{C6} (forma de onda de cima em roxo) duplo, com 10% de carga ($I_o = 1$ A). Nota-se que as correntes nos capacitores são idênticas e defasadas em 180° e que a primeira etapa de operação possui constante de tempo menor que a segunda etapa de operação, tomando como base o conversor simples de cima.

A Figura 4.23 visualiza a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente no capacitor chaveado I_{C1} (forma de onda de cima em verde) e a corrente no capacitor chaveado I_{C6} (forma de onda de cima em roxo) duplo, com 100% de carga ($I_o = 10$ A).

A Figura 4.24 apresenta a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente de entrada do conversor duplo, com 200% de carga ($I_o = 20$ A).

A Figura 4.25 contém a tensão no interruptor $S_{1,a}$ (forma de onda de baixo) e a corrente de entrada do conversor duplo (forma de onda de cima), com 100% de carga ($I_o = 10$ A) e o conversor operando com 5 kHz. Observando a Figura 4.25, nota-se mais facilmente o efeito causado pelas indutâncias parasitas, observa-se que a derivada de subida da corrente é limitada pelas indutâncias parasitas.

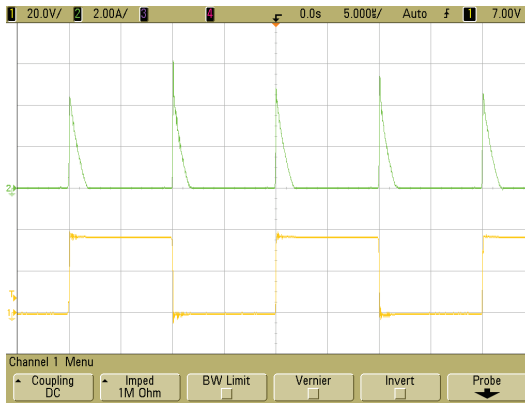


Figura 4.20: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o = 1$ A.

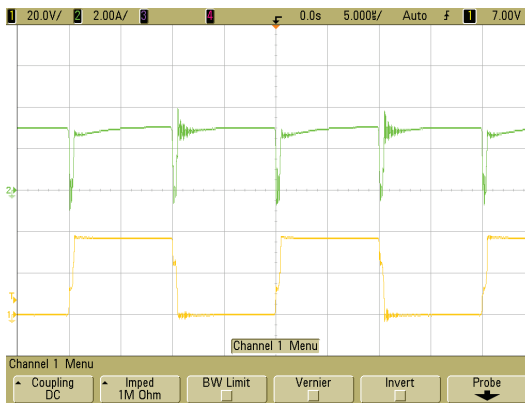


Figura 4.21: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o = 10$ A.

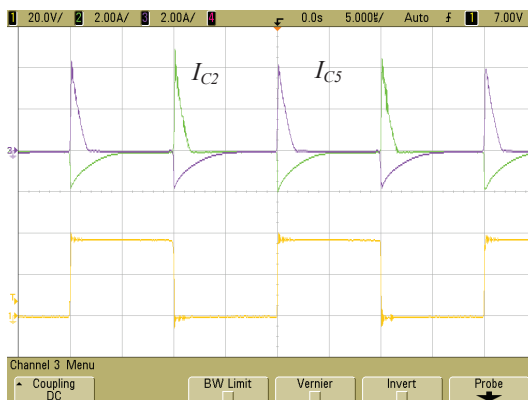


Figura 4.22: Forma de onda da corrente no capacitor chaveado do conversor simples superior I_{C1} (de cima em verde) 2 A/div, a corrente no capacitor chaveado do conversor simples inferior I_{C5} (de cima em roxo) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 10% de carga, $I_o = 1$ A.

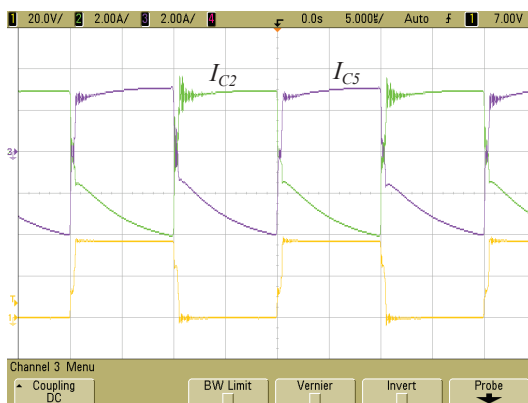


Figura 4.23: Forma de onda da corrente no capacitor chaveado do conversor simples superior I_{C1} (de cima em verde) 2 A/div, a corrente no capacitor chaveado do conversor simples inferior I_{C5} (de cima em roxo) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 100% de carga, $I_o = 10$ A.

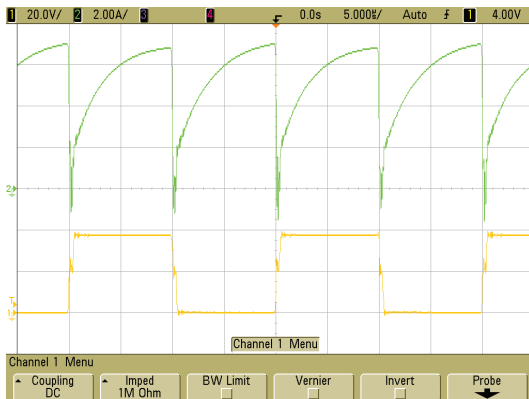


Figura 4.24: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 5 μ s/div. Com 200% de carga, $I_o = 20$ A.

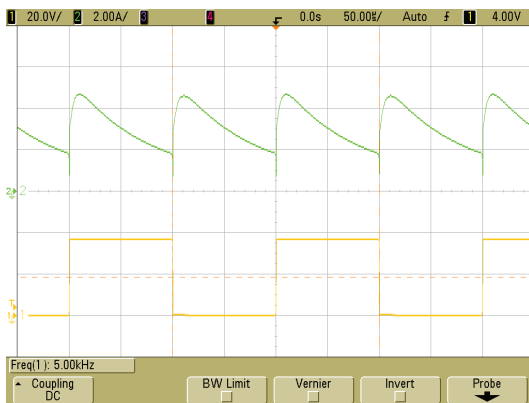


Figura 4.25: Forma de onda da corrente de entrada I_i (de cima) 2 A/div e a tensão no interruptor S_1 (de baixo) 20 V/div, ambos com 50 μ s/div. Com 100% de carga, $I_o = 10$ A e frequência de comutação de 5 kHz.

4.3 Conclusão

Neste capítulo, foi apresentado o paralelismo de conversores CC-CC a capacitores chaveados, utilizando a associação em paralelo de dois conversores abaixador com 4 estágios baseados na célula *Valley-Fill*.

Os resultados experimentais mostraram que é possível associar conversores em paralelo reduzindo a resistência equivalente e o conteúdo harmônico das correntes de entrada e de saída, pois, diferentemente do conversor simples, não existe uma etapa de operação com corrente nula.

Os conversores associados em paralelo operam de forma independente um do outro, tornando assim a associação simples e modular.

Os conversores a capacitores chaveados, quando associados em paralelo, possuem melhor distribuição dos esforços de corrente, reduzindo as perdas e melhorando seu rendimento, podendo assim miniaturizar os componentes. O ponto negativo de associar conversores em paralelo é o aumento do número de componentes.

Capítulo 5

Conversor CA-CA Abaixador: Estudo, Análise e Projeto

5.1 Introdução

Este capítulo propõe um novo conversor a capacitor chaveado CA-CA, conforme publicado no periódico *IEEE Transactions on Power Electronics* [9], e apresentado no Apêndice C.

Este novo conversor tem como principal objetivo ser uma alternativa aos tradicionais autotransformadores domésticos de baixa tensão (sem controle da tensão de saída). Assim como os autotransformadores, este novo conversor pode funcionar como abaixador ou elevador.

O estudo, análise e projeto de um conversor abaixador de 600 W, 220 V de tensão de entrada e 110 V de tensão de saída, operando a 50 kHz é apresentado a seguir.

5.2 Topologia e Modulação

A topologia do novo conversor a capacitor chaveado CA-CA é apresentada na Figura 5.1. O conversor é bidirecional, ou seja, opera como abaixador e elevador. A Figura 5.1 apresenta o conversor operando como abaixador, onde a fonte de entrada é conectada entre os pontos “a” e “b” e a carga é conectada entre os pontos “c” e “d”. Para operar como elevador, basta apenas conectar a fonte de alimentação entre os pontos “c” e “d” e a carga entre os pontos “a” e “b”.

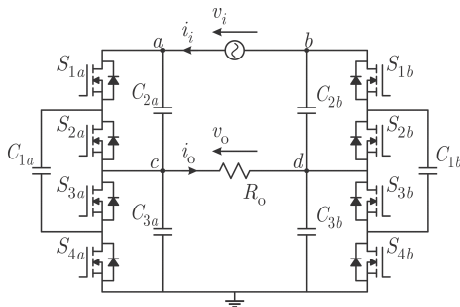


Figura 5.1: Topologia do conversor CA-CA abaixador a capacitor chaveado.

O conversor é constituído por dois braços, onde cada qual é constituído por 4 interruptores e 3 capacitores.

A Figura 5.2 apresenta a modulação deste conversor. O sinal *PWM* 1 comanda os interruptores S_{1a} , S_{3a} , S_{1b} e S_{3b} , e o sinal *PWM* 2 comanda os interruptores S_{2a} , S_{4a} , S_{2b} e S_{4b} .

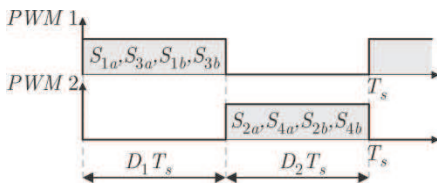


Figura 5.2: Modulação do conversor.

5.3 Princípio de Funcionamento

O princípio de funcionamento deste conversor é baseado no princípio *Ladder*, em que um capacitor equaliza a energia entre dois ou mais capacitores ou fontes.

O funcionamento do conversor objetiva a equalização das tensões entre os capacitores C_{2a} e C_{3a} para o braço da esquerda e entre os capacitores C_{2b} e C_{3b} para o braço da direita. Os capacitores C_{1a} e C_{1b} são comutados através dos interruptores, com o intuito de transferir carga entre os capacitores C_{2a} , C_{3a} , C_{2b} e C_{3b} .

Para realizar a análise deste conversor, algumas simplificações são realizadas, como que a resistência série dos interruptores é muito maior do que as dos capacitores e que as indutâncias parasitas são nulas.

5.3.1 Análise em Baixa Frequência

A análise em baixa frequência visa entender o comportamento do conversor em relação à frequência da fonte de entrada (f_i).

A partir da Figura 5.1, podem-se obter as equações de duas malhas formadas por v_i , v_{C2a} , v_{C2b} , v_o , v_{C3a} e v_{C3b} . A equação (5.1) apresenta o equacionamento da malha formada por v_i , v_{C2a} , v_{C2b} , v_o e a equação (5.2) apresenta o equacionamento da malha formada por v_o , v_{C3a} e v_{C3b} .

$$v_i - v_o + v_{C2b} - v_{C2a} = 0 \quad (5.1)$$

$$v_o + v_{C3b} - v_{C3a} = 0 \quad (5.2)$$

Considerando que ocorra o balanceamento da tensão entre os capacitores C_{1a} , C_{2a} e C_{3a} e entre os capacitores C_{1b} , C_{2b} e C_{3b} , pode-se afirmar então que as tensões v_{C1a} , v_{C2a} e v_{C3a} são aproximadamente iguais, assim como as tensões v_{C1b} , v_{C2b} e v_{C3b} . As equações (5.3) e (5.4) descrevem estas considerações.

$$v_{C1a} = v_{C2a} = v_{C3a} = v_{Ca} \quad (5.3)$$

$$v_{C1b} = v_{C2b} = v_{C3b} = v_{Cb} \quad (5.4)$$

Aplicando a simplificação apresentada em (5.3) e (5.4) nas equações (5.1) e (5.2), isolando v_o da equação (5.2) e substituindo na equação (5.1), obtém-se as equações (5.5) e (5.6).

$$v_i = 2(v_{Ca} - v_{Cb}) \quad (5.5)$$

$$v_o = v_{Ca} - v_{Cb} \quad (5.6)$$

A partir das equações (5.5) e (5.6), conclui-se que o ganho estático ideal deste conversor é 0,5, como mostra a equação (5.7).

$$G_{ideal} = \frac{v_o}{v_i} = \frac{1}{2} \quad (5.7)$$

A partir da equação (5.5), considerando que a tensão em cada capacitor possui uma componente contínua e uma alternada, e que a fonte de entrada não possui componente contínua e que sua componente alternada é diferente de zero, pode-se concluir também que as tensões v_{Ca} e v_{Cb} possuem a mesma componente contínua e que suas componentes alternadas são opostas, e iguais em valor absoluto, devido à simetria dos braços do conversor, como mostra a equação (5.8).

Aplicando as equações (5.8) e (5.9) em (5.5), obtém-se a equação (5.10).

Quando o primeiro semiciclo da tensão de entrada é aplicado em um braço, todos os diodos do braço entram em condução e, deste modo, toda a tensão de entrada é aplicada ao outro braço. Este transiente introduz uma componente contínua de um quarto (1/4) do pico da tensão de entrada em todos os capacitores, o que evita tensões negativas. Portanto, a tensão total através dos capacitores chaveados é composta pelas componentes apresentadas nas equações (5.10) e (5.11).

$$v_{Ca} = V_{C.CC} + v_{C.CA} \quad (5.8)$$

$$v_{Cb} = V_{C.CC} - v_{C.CA} \quad (5.9)$$

$$v_{C.CA} = \frac{v_i}{4} \quad (5.10)$$

$$V_{C.CC} = \frac{V_{i,pk}}{4} \quad (5.11)$$

A Figura 5.4 apresenta as formas de onda em baixa frequência mais relevantes do conversor.

No primeiro gráfico da Figura 5.4, são apresentadas as tensões de entrada e de saída; no segundo e terceiro gráfico são mostradas as

tensões nos capacitores chaveados do braço da esquerda e direita, respectivamente.

No quarto gráfico da Figura 5.4, é visualizada a forma de onda da tensão no interruptor S_{1a} . Nota-se que a tensão máxima no interruptor segue a tensão no capacitor C_{2a} . A Figura 5.3 apresenta a célula formada pelos interruptores S_{1a} e S_{2a} e o capacitor chaveado C_{2a} . Sendo os interruptores comandados complementarmente, a tensão no capacitor chaveado C_{2a} é sempre aplicada sobre o interruptor bloqueado. O conversor CA-CA é formado por outras três células idênticas formadas pelos demais componentes do conversor. Desta forma as tensões nos interruptores são limitadas pelos capacitores chaveados, ou seja, a tensão máxima aplicada sobre os interruptores é metade do valor de pico da tensão de entrada.

Os interruptores do braço esquerdo terão a sua tensão limitada pelos capacitores chaveados da esquerda e os interruptores do braço da direita terão sua tensão limitada pelos capacitores chaveados do braço da direita.

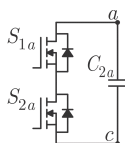


Figura 5.3: Célula formada por dois interruptores e um capacitor chaveado.

No quinto gráfico da Figura 5.4, é apresentada a forma de onda da corrente de entrada média quase instantânea e a corrente de saída. A corrente de entrada possui elevado conteúdo harmônico, pois é constituída principalmente pela corrente nos capacitores C_{1a} e C_{1b} .

A última forma de onda da Figura 5.4 apresenta as correntes médias quase instantâneas nos interruptores. Nota-se que o valor médio quase instantâneo da corrente nos interruptores é metade do valor da corrente de carga.

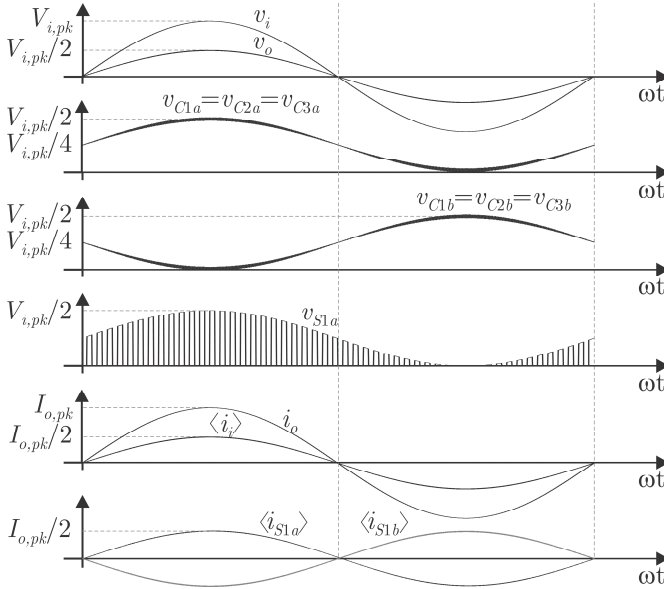


Figura 5.4: Formas de onda em baixa frequência.

5.3.2 Etapas de Operação

Para cada semiciclo da tensão de entrada existem quatro etapas de operação, como mostra a Figura 5.6. As figuras (a), (b), (c) e (d) apresentam as etapas de operação para o semiciclo positivo, e as demais figuras para o semiciclo negativo.

A primeira etapa de operação, apresentada na Figura 5.6 (a), inicia-se com o comando dos interruptores S_{1a} , S_{3a} , S_{1b} e S_{3b} . Neste instante, os capacitores C_{1a} e C_{1b} são conectados em paralelo com os capacitores C_{2a} e C_{2b} , respectivamente. Os capacitores C_{2a} , C_{1b} e C_{3b} estão transferindo energia, e os capacitores C_{1a} , C_{3a} e C_{2b} estão recebendo energia. A corrente existente nos capacitores C_{1a} e C_{1b} é aproximadamente igual ao valor da corrente na carga. Os capacitores C_{2a} e C_{3a} e os capacitores C_{2b} e C_{3b} possuem valores de carga iguais, opostos e relativamente baixos quando comparados ao valor de carga dos capacitores C_{1a} e C_{1b} . Esta característica é proveniente do balanceamento de carga entre os capacitores de cada braço.

A segunda etapa de operação, apresentada na Figura 5.6 (b), inicia-se no momento em que a energia nos capacitores C_{2a} , C_{3a} , C_{2b}

e C_{3b} se anula. Neste momento, os capacitores C_{2a} e C_{3b} passam a receber energia e os capacitores C_{3a} e C_{2b} passam a transferir energia.

A terceira etapa de operação, apresentada na Figura 5.6 (c), inicia-se com o bloqueio dos interruptores S_{1a} , S_{3a} , S_{1b} e S_{3b} e o comando dos interruptores S_{2a} , S_{4a} , S_{2b} e S_{4b} . Neste instante, os capacitores C_{1a} e C_{1b} são conectados em paralelo com os capacitores C_{3a} e C_{3b} , respectivamente. Os capacitores C_{1a} , C_{2a} e C_{3b} estão transferindo energia e os capacitores C_{3a} , C_{1b} e C_{2b} estão recebendo energia.

A quarta etapa de operação, apresentada na Figura 5.6 (d), inicia-se quando a corrente dos capacitores C_{2a} , C_{2b} , C_{3a} , e C_{3b} chegam a zero. Neste momento, os capacitores C_{2a} e C_{3b} passam a receber energia, e os capacitores C_{3a} e C_{2b} passam a transferir energia.

O semiciclo negativo possui etapas de operação análogas às apresentadas acima.

A Figura 5.5 apresenta as formas de onda para um período de chaveamento, para os semiciclos positivo e negativo. Os dois primeiros gráficos apresentam as formas de onda nos interruptores. Nota-se que as correntes nos interruptores são a decomposição da forma de onda da corrente nos capacitores C_{1a} e C_{1b} , sendo que a corrente em C_{1a} está defasada em 180° da corrente de C_{1b} , como mostra a equação (5.12), o mesmo ocorre para os capacitores C_{2a} , C_{2b} , C_{3a} , C_{3b} .

$$\begin{cases} i_{C1a} = -i_{C1b} \\ i_{C2a} = -i_{C2b} \\ i_{C3a} = -i_{C3b} \end{cases} \quad (5.12)$$

A forma de onda da corrente nos capacitores C_{2a} , C_{2b} , C_{3a} , e C_{3b} possui o dobro da frequência de comutação, como descrito nas etapas de operação. Estas correntes são provenientes do balanceamento de tensão entre os capacitores.

Para que exista transferência de energia entre os capacitores, é preciso que haja uma pequena diferença de potencial entre os mesmos, como é apresentado no último gráfico. Esta diferença de

potencial é relativamente pequena quando comparada aos valores absolutos de tensão de entrada e saída.

Os capacitores de cada braço funcionam como uma célula básica, similar à apresentada no Cap. 2.

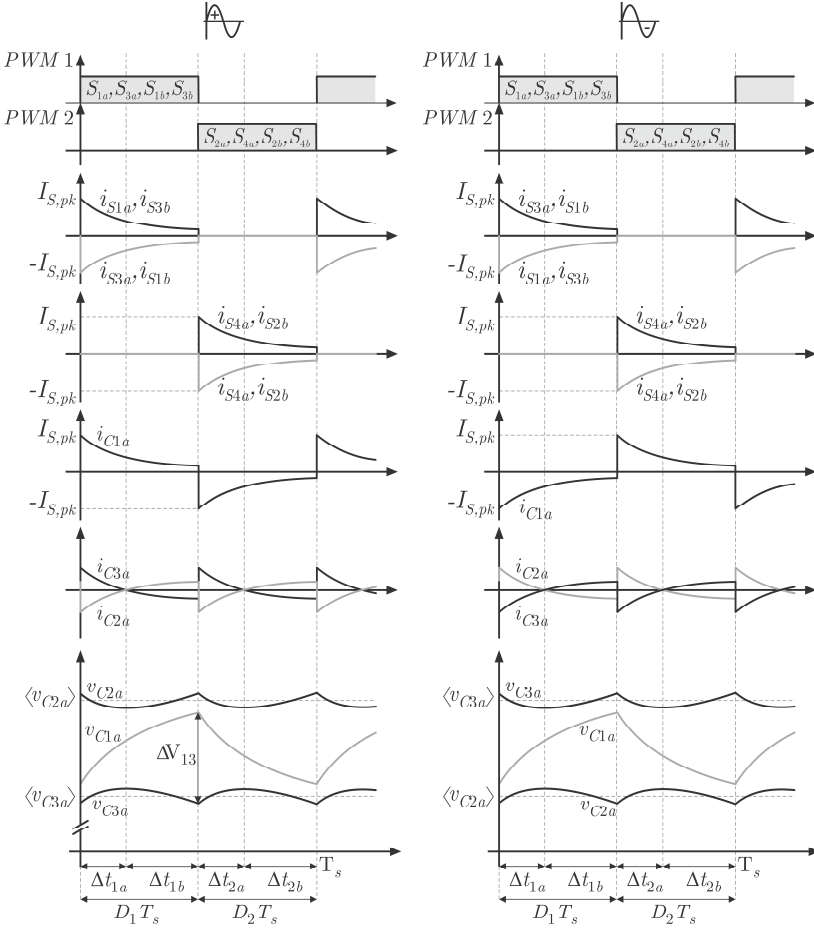


Figura 5.5: Formas de onda em alta frequência.

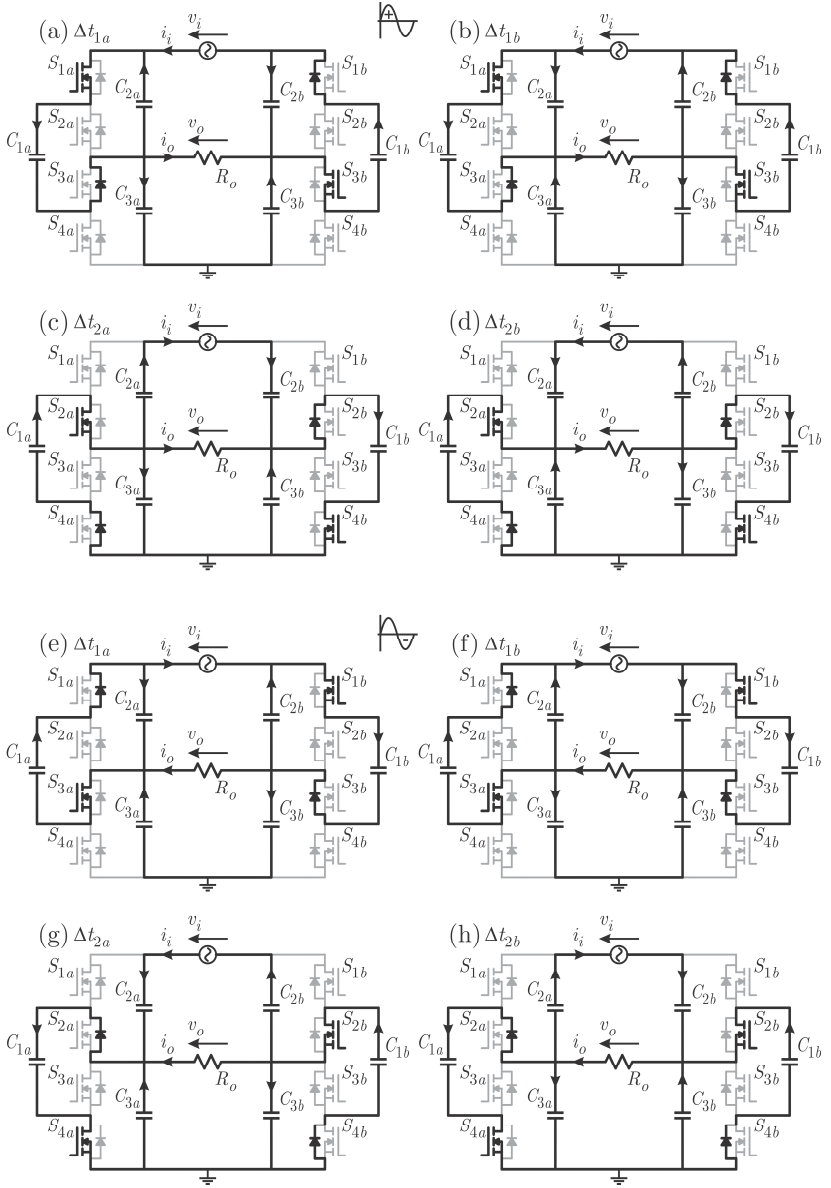


Figura 5.6: Etapas de operação do conversor CA-CA a capacitor chaveado.

5.4 Análise Matemática

O conversor a capacitor chaveado CA-CA pode ser modelado em baixa frequência como um capacitor em paralelo com uma resistência. Esta resistência é a associação série da resistência de carga com a resistência equivalente do conversor e a capacitância é formada pela associação dos capacitores chaveados C .

A Figura 5.7 apresenta o circuito equivalente simplificado em baixa frequência referenciado à tensão de entrada Figura 5.7 (a) e referenciado à carga Figura 5.7 (b), considerando que C é a capacitância de um capacitor chaveado e que todos possuem a mesma capacitância.

Nota-se que o circuito equivalente possui uma capacitância em paralelo com a fonte de entrada, dependente do valor da capacitância dos capacitores chaveados.

Da mesma forma que nos conversores CC-CC, a resistência equivalente resultará em uma queda de tensão na carga, ou seja, existirá uma redução de seu valor eficaz. A tensão na carga possui a mesma fase que tensão de entrada.

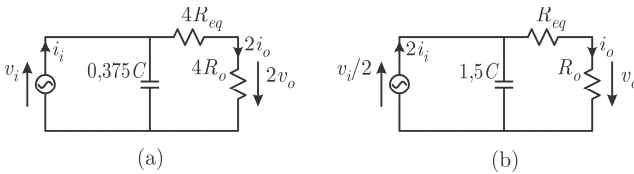


Figura 5.7: Circuito equivalente simplificado em baixa frequência (a) visto pela fonte de entrada e (b) visto pela carga.

A equação (5.13) apresenta a função da característica externa deste conversor. Nota-se que a queda de tensão nos diodos dos interruptores foi desconsiderada, pois a ordem de grandeza das tensões de entrada e de saída é muito maior que a queda de tensão nos diodos; e durante a condução dos diodos os interruptores estão comandados, colocando o canal dos *Mosfets* em paralelo com seus diodos intrínsecos. Conclui-se então que a característica externa deste conversor é exatamente a mesma que a apresentada anteriormente, considerando-se um conversor com ganho ideal igual a $\frac{1}{2}$.

A equação (5.14) apresenta a função da tensão de saída em função da resistência de carga e da resistência equivalente.

$$v_o = \frac{v_i}{2} - R_{eq} I_o \quad (5.13)$$

$$v_o = \frac{v_i}{2} \frac{R_o}{R_{eq} + R_o} \quad (5.14)$$

A corrente de entrada do conversor possui duas componentes, uma proveniente da carga e outra proveniente dos capacitores chaveados, conforme apresentado no circuito equivalente. A equação (5.15) descreve a função da corrente de entrada, desconsiderando a ondulação em alta frequência.

A equação (5.16) apresenta a função da potência reativa de entrada do conversor.

Nota-se que as equações (5.15) e (5.16) possuem como variáveis o valor da capacitância dos capacitores chaveados e da frequência da fonte de entrada.

$$i_i = v_i \left[\frac{1}{4(R_{eq} + R_o)} + \frac{1}{2\pi f_i (0,375C)} \right] \quad (5.15)$$

$$Q_i = \left(\frac{V_{i.pk}}{2} \right)^2 \frac{1}{2\pi f_i (0,375C)} \quad (5.16)$$

De acordo com a Figura 5.5, o valor eficaz da corrente nos capacitores C_{1a} e C_{1b} é elevado, e o máximo valor de pico em um período de comutação ocorre nos ângulos de 90° e 270° , considerando que a tensão de entrada é senoidal.

O máximo valor de pico da corrente nos capacitores C_{1a} e C_{1b} é apresentado na equação (5.17). Nota-se que o valor de $I_{s.pk}$ depende dos parâmetros do conversor e da corrente de carga. A equação considera o conversor operando com razão cíclica de 50% e o pico da senoide.

$$I_{S.pk} = \frac{I_{o.pk}}{8R_{DS(on)}Cf_s} \left[1 + \frac{\frac{-1}{e^{\frac{2R_{DS(on)}Cf_s}}}}{1 - e^{\frac{-1}{e^{\frac{2R_{DS(on)}Cf_s}}}}} \right] \quad (5.17)$$

A resistência equivalente do conversor a capacitor chaveado CA-CA é apresentada na equação (5.18). Da mesma forma que no Cap. 2, a mínima resistência equivalente ocorre quando se tende a frequência de comutação ao infinito e seu valor mínimo é apresentado na equação (5.20), considerando-se razão cíclica de 50%.

A resistência equivalente do conversor CA-CA pode ser entendida como o paralelo da resistência equivalente formada pelo circuito equivalente de cada braço do conversor. Para cada etapa de operação, a constante de tempo é apresentada na equação (5.19), lembrando que em cada etapa de operação existem dois interruptores em série.

$$R_{eq} = \frac{1}{2Cf_s} \frac{e^{\frac{(D_1+D_2)}{2R_{DS(on)}Cf_s}} - 1}{\left(e^{\frac{D_1}{2R_{DS(on)}Cf_s}} - 1 \right) \left(e^{\frac{D_2}{2R_{DS(on)}Cf_s}} - 1 \right)} \quad (5.18)$$

$$\tau = 2R_{DS(on)}C \quad (5.19)$$

$$R_{eq.min} = 4R_{DS(on)} \quad (5.20)$$

5.5 Projeto

O projeto do conversor a capacitor chaveado foi desenvolvido de acordo com as especificações contidas na Tabela 5.1.

Tabela 5.1: Especificação do projeto.

Especificação	
Tensão de entrada eficaz	220 V
Frequência de entrada	60 Hz
Tensão de saída eficaz	110 V
Potência de saída nominal	600 W
Rendimento	90%
Frequência de chaveamento	50 kHz
Fator de potência nominal	> 0,95 capacitivo

O conversor constitui-se basicamente por dois tipos de componentes: capacitores e interruptores. Devido à elevada frequência de comutação, serão utilizados *Mosfets* como interruptores. No Cap. 3, concluiu-se que os capacitores eletrolíticos utilizados como capacitores chaveados resultaram em elevadas indutâncias parasitas. Desta forma, para o projeto do conversor CA-CA foram dimensionados capacitores chaveados de filme de polipropileno metalizado, que possuem menores indutâncias parasitas, esta solução poderia ser aplicada aos conversores CC-CC também.

A partir do modelo em baixa frequência do conversor, deve-se calcular qual o valor máximo da capacitância admissível para que, com carga nominal, o fator de potência da entrada atenda os requisitos da Tabela 5.1.

A equação (5.21) apresenta qual o valor máximo da capacitância de um capacitor chaveado para que o fator de potência mínimo com carga nominal seja maior que o especificado; considerando que a resistência de carga seja muito maior que a resistência equivalente, esta foi desconsiderada da equação (5.21). A equação (5.22) apresenta o cálculo da resistência nominal de carga e a equação (5.23) mostra o valor calculado para a máxima capacitância, considerando os valores da Tabela 5.1.

$$C \leq \frac{1}{3\pi f_i R_o t_g \left[\arcsen(FP) \right]} \quad (5.21)$$

$$R_o = \frac{V_o^2}{P_o} = 20 \, \Omega \quad (5.22)$$

$$C \leq 30 \, \mu F \quad (5.23)$$

A Tabela 5.2 apresenta os esforços de corrente nos interruptores e capacitores chaveados a partir de simulação realizada com parâmetros genéricos.

Tabela 5.2: Esforços de corrente nos componentes.

	Valor eficaz	Valor médio
$I_{S1a}, I_{S2a}, I_{S3a}, I_{S4a},$ $I_{S1b}, I_{S2b}, I_{S3b}, I_{S4b},$	5,98 A	2,55 A
I_{C1a}, I_{C1b}	8,47 A	-
$I_{C2a}, I_{C3a}, I_{C2b}, I_{C3b}$	3,15 A	-

O máximo valor de tensão em todos os componentes é metade da tensão de pico de entrada, o valor absoluto é apresentado na equação (5.24).

$$V_{pk.comp.} = 155,6V \quad (5.24)$$

5.5.1 Dimensionamento dos Capacitores Chaveados

Os capacitores chaveados de filme de polipropileno metalizado foram selecionados conforme a disponibilidade de componentes no laboratório. O capacitor selecionado foi o B32669C3106, da EPCOS.

O valor de capacitância atende os requisitos apresentados na equação (5.23), conforme mostra a Tabela 5.3.

Para avaliar se o capacitor suporta os valores de corrente descritos na Tabela 5.2, utilizou-se o parâmetro *Pulse Handling Capability* do capacitor especificado, conforme mostra a equação (5.25). Esta equação calcula a amplitude de um pulso de corrente com duração de 1 μs , que resulta em uma variação de tensão no

capacitor de 10 V. O resultado apresentado pela equação mostra que o valor de corrente nos capacitores está bem abaixo do limite suportado pelo mesmo.

Desta forma, cada capacitor chaveado é formado por um capacitor B32669C3106 de 10 μF, atendendo assim o requisito da equação (5.23).

Tabela 5.3: Característica do capacitor chaveado.

Característica Capacitor EPCOS B32669C3106	
Tensão AC eficaz (V_{RMS})	250 V
Capacitância (C_R)	10 μF
Dimensões (diâmetro x comprimento)	21,5 mm x 47 mm
Tan δ	$2 \cdot 10^{-3}$ a 1 kHz
Pulse handling capability (V_{pp}/τ)	$\leq 10 \text{ V}/\mu\text{s}$

$$I_C = C \frac{dV_C}{dt}$$
$$I_C = 10\mu F \frac{10V}{1\mu s} = 100A$$

(5.25)

A Figura 5.8 apresenta em gráfico a impedância de uma amostra de capacitor em função da frequência. Esta figura apresenta também os parâmetros RLC série do capacitor. Estes parâmetros são apresentados também na Tabela 5.4. Nota-se valores baixos de resistência e indutância série.

Tabela 5.4:Parâmetros de uma amostra de capacitor.

Amostra Capacitor EPCOS B32669C3106	
Capacitância série	10,18 μF
Resistência série	21,37 mΩ
Indutância série	66,63 nH

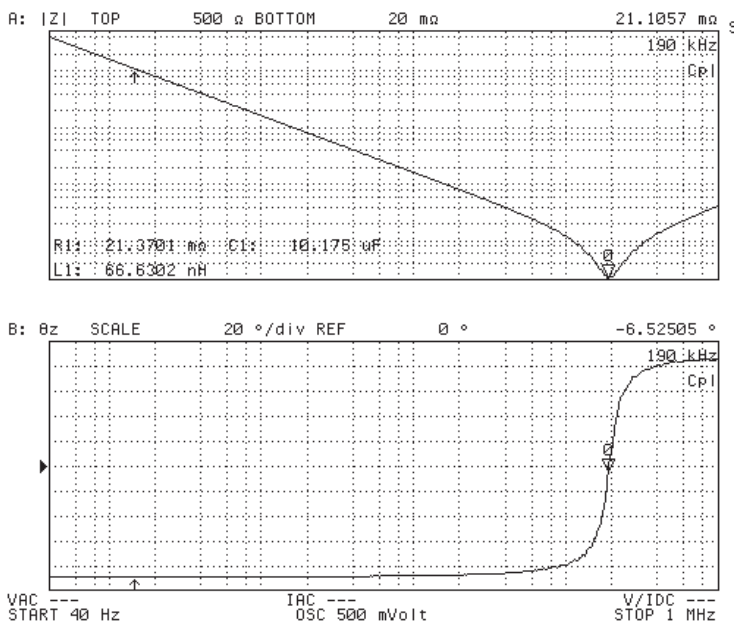


Figura 5.8: Impedância e fase do capacitor EPCOS B32669C3106.

5.5.2 Dimensionamento dos Interruptores

Os interruptores foram dimensionados objetivando a menor resistência equivalente possível.

Dentro do conjunto de interruptores avaliados, o componente IRFP 460 foi selecionado.

Para o projeto do interruptor, foram consideradas perdas de comutação do mesmo valor que as perdas por condução. Para atender os limites térmicos dos componentes, utilizaram-se dois interruptores em paralelo.

Tabela 5.5: Características do interruptor.

Interruptor Mosfet IRFP460	
Drain-to-Source Breakdown Voltage	500 V
Static Drain-to-Source On-Resistance	0,27 Ω
Continuous Drain Current (100 °C)	23 A

O cálculo térmico dos componentes mostrou a necessidade de utilização de dois interruptores em paralelo, para atender às máximas temperaturas nos componentes (apresentado no Apêndice B).

A Figura 5.9 apresenta o esquemático do circuito de potência.

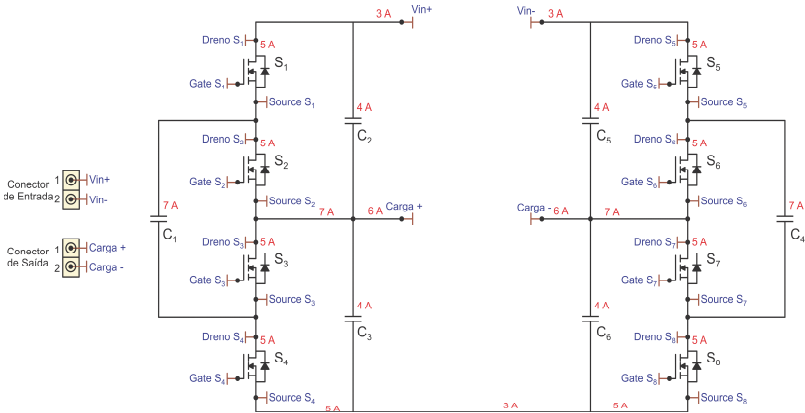


Figura 5.9: Esquemático do circuito de potência.

5.5.3 Circuito de Comando

Visando uma implementação simples, foram utilizados circuitos de comando comerciais.

Para a geração dos sinais de comando e controle do tempo morto entre os interruptores, foram utilizados os circuitos integrados UC3525 e UC4059, como mostra a Figura 5.10.

Os circuitos de comando comerciais SKHI 200p, da SEMIKRON, foram utilizados juntamente com as fontes auxiliares SKHI PS2 e os transformadores auxiliares T16 1:5:5. A Figura 5.11 apresenta o esquemático do circuito de comando.

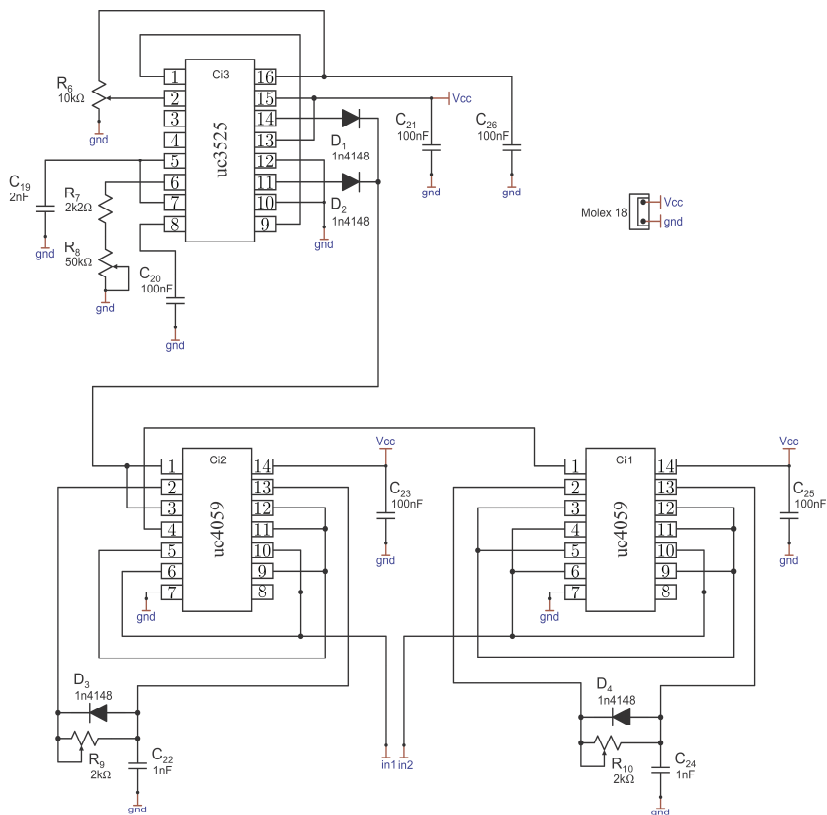


Figura 5.10: Esquemático do circuito gerador de pulsos.

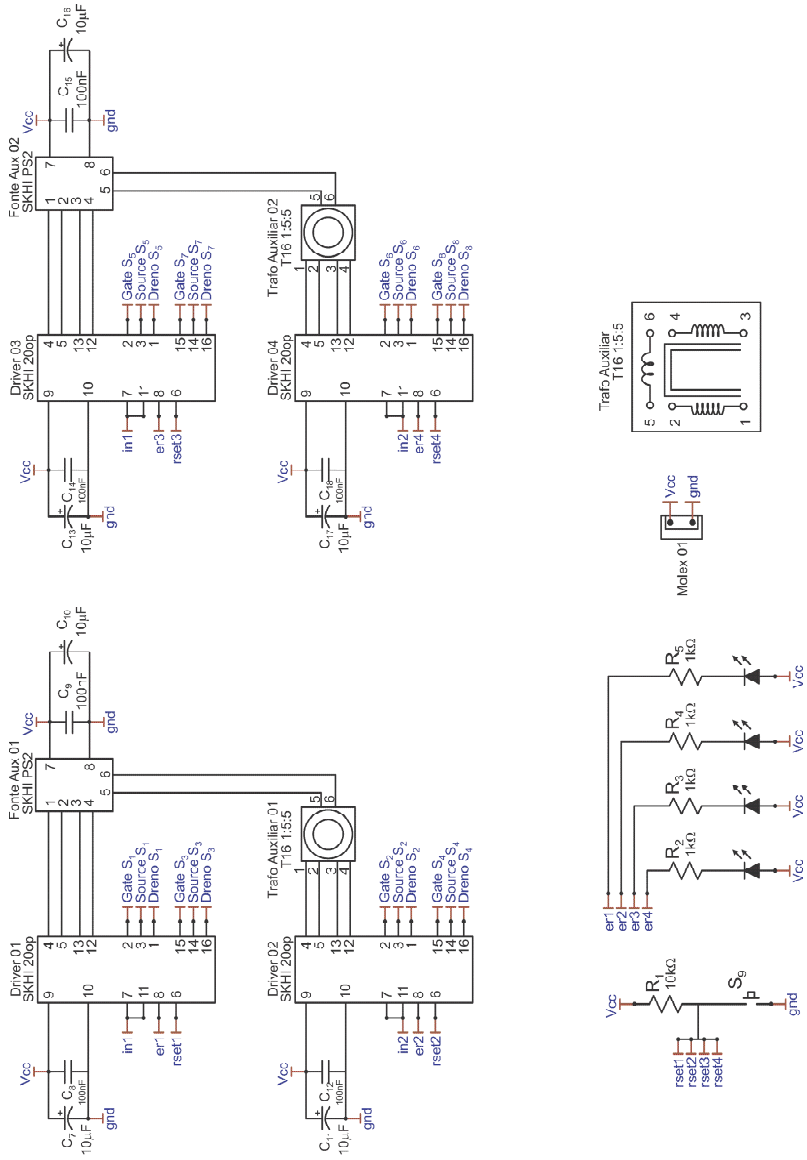


Figura 5.11: Esquemático do circuito de comando.

5.5.4 Protótipo

O protótipo foi construído com os componentes dimensionados acima e de acordo com o esquemático apresentado nas Figuras 5.8, 5.9 e 5.10.

A Figura 5.12 apresenta a imagem do protótipo implementado. No centro estão os capacitores chaveados e em torno destes os interruptores.

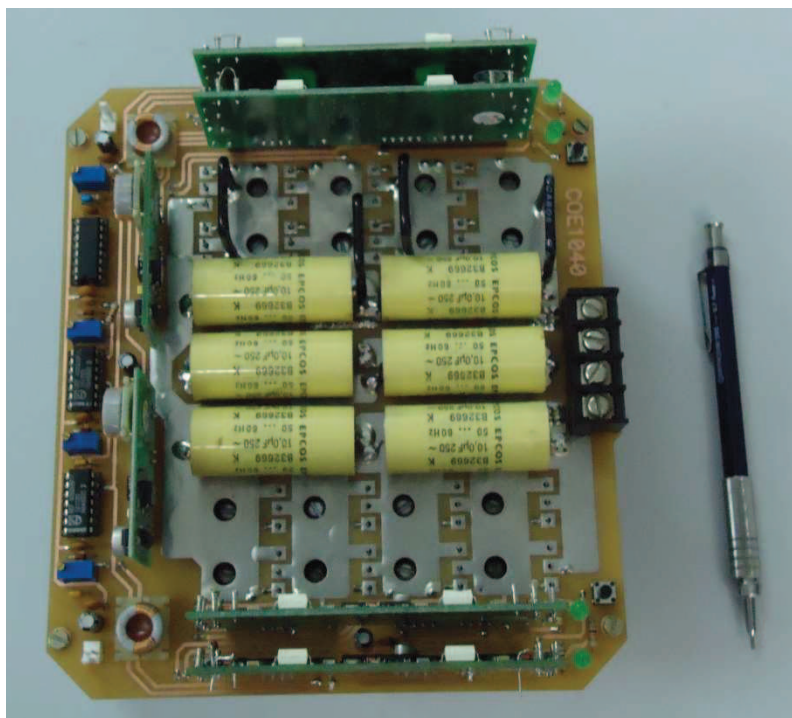


Figura 5.12: Protótipo do conversor a capacitor chaveado CA-CA.

5.6 Resultados Experimentais

O protótipo proposto foi montado e testado em laboratório.

Utilizou-se uma fonte controlada com saída alternada e, para emular a indutância da rede de alimentação, foi inserida em série com a fonte uma indutância de 50 μH .

A indutância série da rede de alimentação funciona como um filtro da corrente de entrada do conversor, reduzindo seu valor eficaz em aproximadamente 30%.

As figuras a seguir apresentam os resultados experimentais do protótipo do conversor a capacitor chaveado CA-CA.

A Figura 5.13 (a) apresenta a característica externa do conversor. Que possui o mesmo comportamento da característica externa do conversor CC-CC apresentado anteriormente. A equação (5.26) apresenta a função da característica externa do conversor. Não foi perceptível a queda de tensão nos diodos, devido à grande relação entre a tensão de saída do conversor e a queda de tensão nos diodos; e durante a condução dos diodos os interruptores estão comandados, colocando o canal dos *Mosfets* em paralelo com seus diodos intrínsecos.

$$V_o = 110 - 1,62I_o \quad (5.26)$$

A Figura 5.13 (b) apresenta o rendimento do conversor em função da potência de saída. O rendimento máximo foi de 95,6% a 180 W, e o rendimento a 600 W foi de 90,6%. As perdas fixas do conversor se mostraram elevadas devido à utilização de dois interruptores em paralelo. Em baixa potência observa-se a existência de perdas fixas geradas pelo comando e comutação dos interruptores.

A Figura 5.13 (c) apresenta o gráfico do fator de potência de entrada em função da potência de saída. A partir de 140 W de potência de saída, o fator de potência da entrada passa a ser maior que 0,9, e a 600 W, o fator de potência é de 0,994. Caso a carga não possua fator de potência unitário (carga resistiva), este influenciará o fator de potência da entrada.

A Figura 5.13 (d) apresenta o gráfico do ganho estático e do rendimento em função da potência de saída.

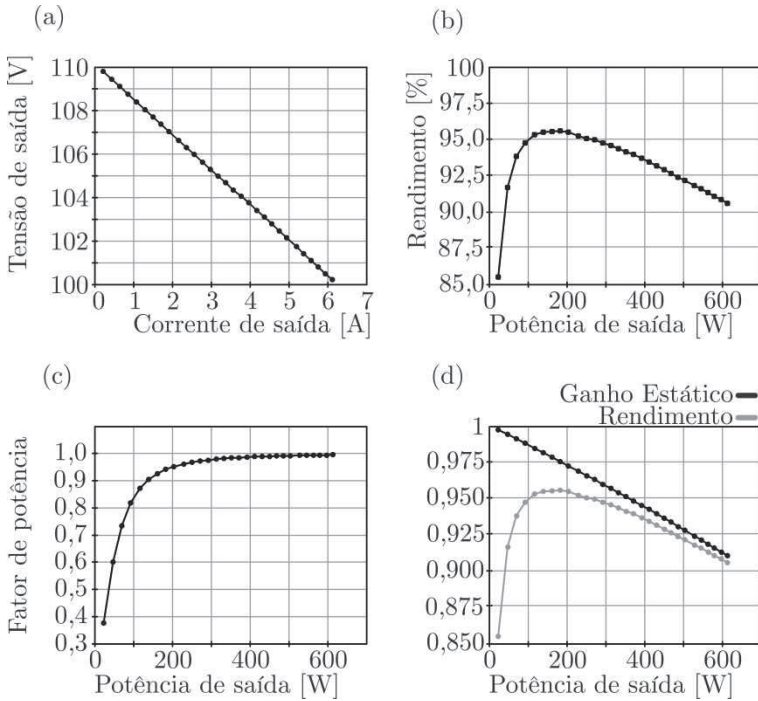


Figura 5.13: Resultados experimentais: (a) característica externa, (b) rendimento, (c) fator de potência, (d) ganho estático e rendimento.

A Figura 5.14 apresenta a forma de onda da tensão de entrada e da tensão de saída a 600 W de potência de saída. A tensão de saída possui a mesma frequência e fase da tensão de entrada, e aproximadamente metade de seu valor eficaz. A tensão de saída, apenas com carga resistiva, não precisa de filtro de saída, pois sua forma de onda não apresenta conteúdo harmônico apenas devido aos capacitores chaveados. Isto ocorre devido à própria característica do conversor.

A Figura 5.15 e a Figura 5.16 apresentam a tensão e a corrente de entrada do conversor a 300 W e a 600 W de potência de saída, respectivamente. A corrente de entrada possui uma pequena defasagem em relação à tensão devido à característica capacitiva do conversor, conforme esperado pelo circuito equivalente. Possui também uma pequena ondulação na frequência de comutação, pois a indutância série da rede de alimentação funcionou como filtro.

A Figura 5.17 apresenta a tensão e corrente na carga a 550 W de potência de saída. A tensão e corrente estão em fase e apresentam baixo conteúdo harmônico.

A Figura 5.18 apresenta a tensão nos interruptores S_{1a} e S_{2a} . A máxima tensão reversa nos interruptores é limitada pela tensão no capacitor chaveado C_{2a} . A tensão no capacitor C_{2a} é apresentada na Figura 5.19, juntamente com a tensão nos capacitores C_{1a} e C_{3a} . As tensões nos capacitores C_{1a} , C_{2a} e C_{3a} são aproximadamente iguais, assim como apresentado teoricamente. Assim como nos conversores a capacitores chaveados CC-CC, não foram observadas sobretensões nos interruptores.

A Figura 5.20 apresenta a tensão nos capacitores C_{2a} e C_{2b} . Nota-se que, como apresentado teoricamente, as tensões entre os capacitores de braços distintos possuem defasagem de 180° .

A Figura 5.21 apresenta a forma de onda da corrente nos interruptores S_{1a} e S_{2a} . As formas de onda das correntes nos interruptores divergem um pouco das análises teóricas devido às indutâncias parasitas da rede de alimentação e dos componentes do conversor. Nota-se que, no instante das comutações, as correntes nos interruptores possuem valor nulo, ou seja, este conversor apresenta baixas perdas de comutação. Conclui-se que os interruptores estão sobredimensionados devido à consideração das perdas por comutação.

Os estudos experimentais mostraram que é possível aumentar a frequência de comutação do conversor reduzindo ainda mais a sua resistência equivalente. Com isto, o rendimento do conversor pode ser melhorado. Para isto, é necessário buscar o ponto ótimo de rendimento do conversor em função da frequência de comutação.

A Figura 5.22 apresenta a corrente no capacitor C_{1a} . A corrente no capacitor C_{1a} é composta pela corrente nos interruptores S_{1a} e S_{2a} .

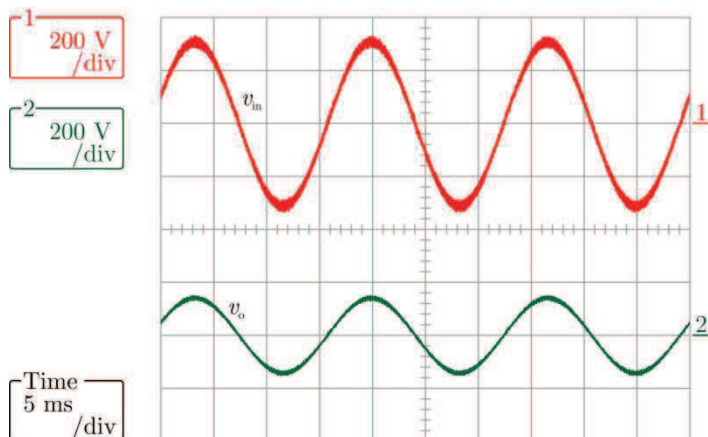


Figura 5.14: Tensão de entrada e tensão de saída para o conversor operando a 600 W de potência de saída.

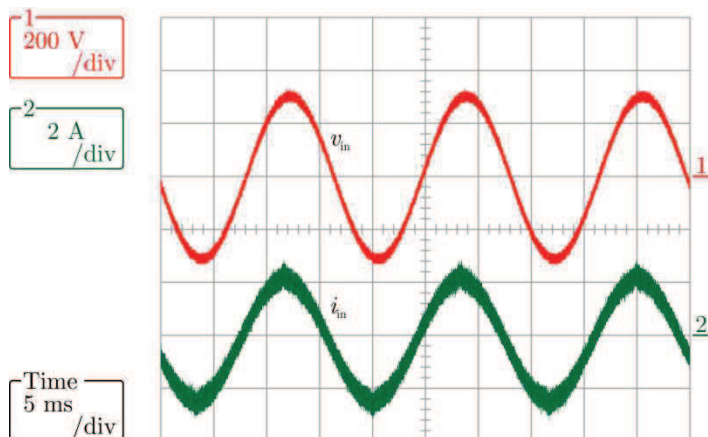


Figura 5.15: Tensão de entrada e corrente de entrada para o conversor operando a 300 W de potência de saída.

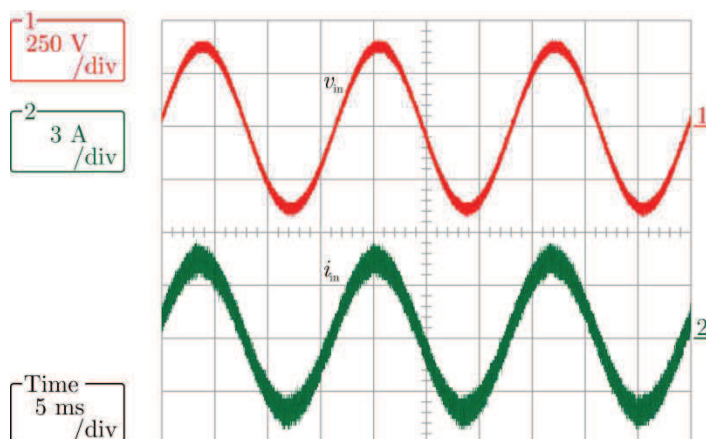


Figura 5.16: Tensão de entrada e corrente de entrada para o conversor operando a 600 W de potência de saída.

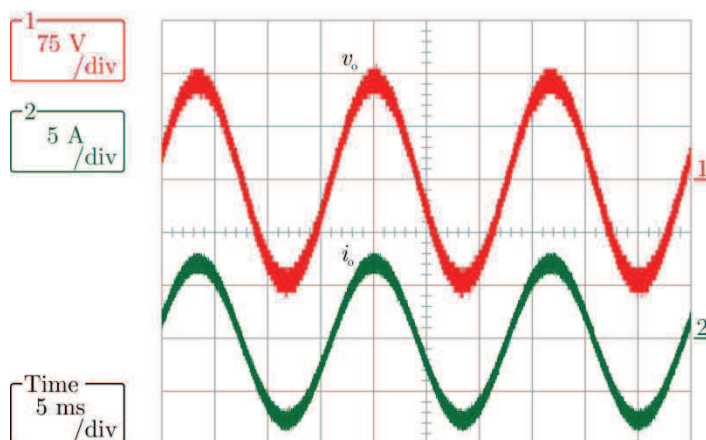


Figura 5.17: Tensão de saída e corrente de saída para o conversor operando a 550 W de potência de saída.

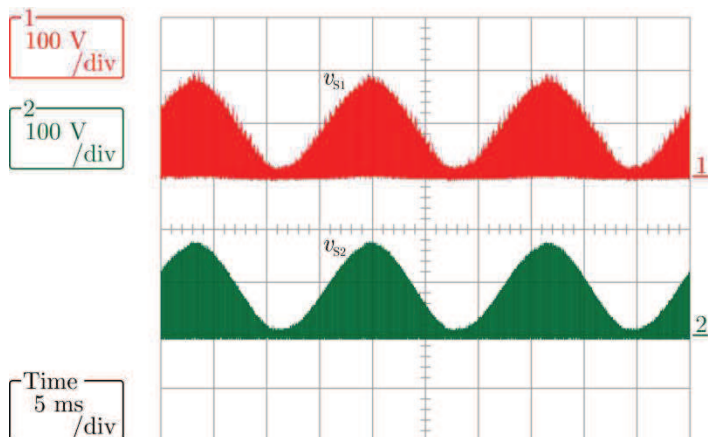


Figura 5.18: Tensão nos interruptores S_{1a} e S_{2a} para o conversor operando a 600 W de potência de saída.

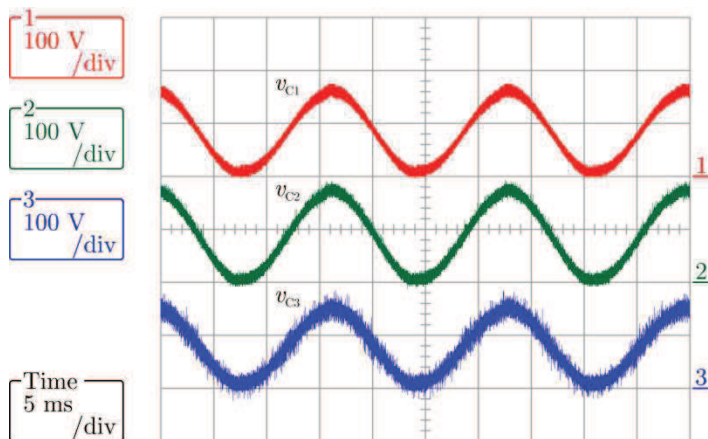


Figura 5.19: Tensão nos capacitores chaveados C_{1a} , C_{2a} e C_{3a} para o conversor operando a 600 W de potência de saída.

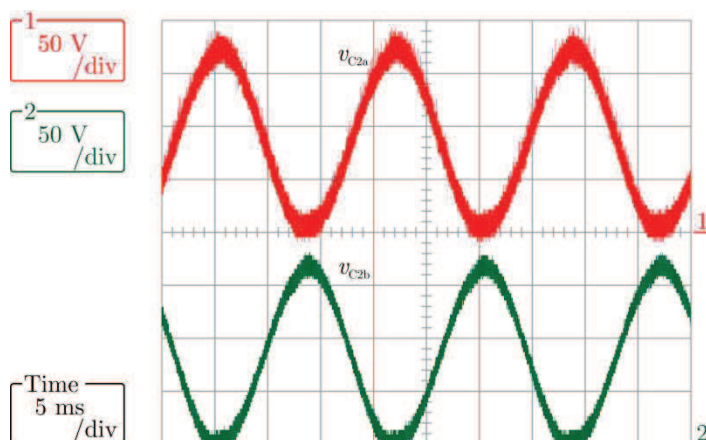


Figura 5.20: Tensão nos capacitores chaveados C_{2a} e C_{2b} para o conversor operando a 600W de potência de saída.

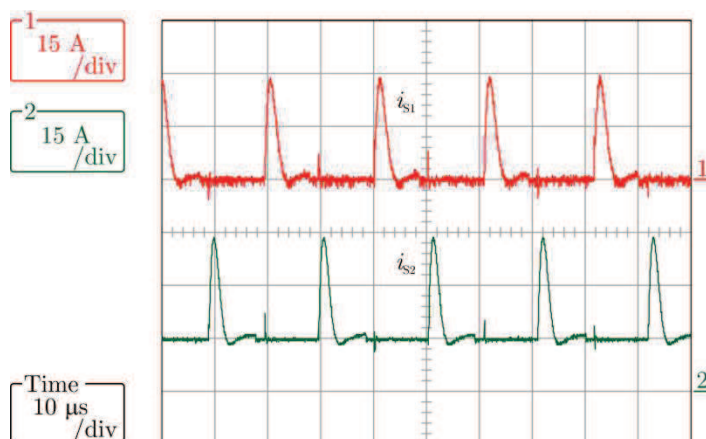


Figura 5.21: Corrente nos interruptores S_{1a} e S_{2a} para o conversor operando a 430 W de potência de saída.

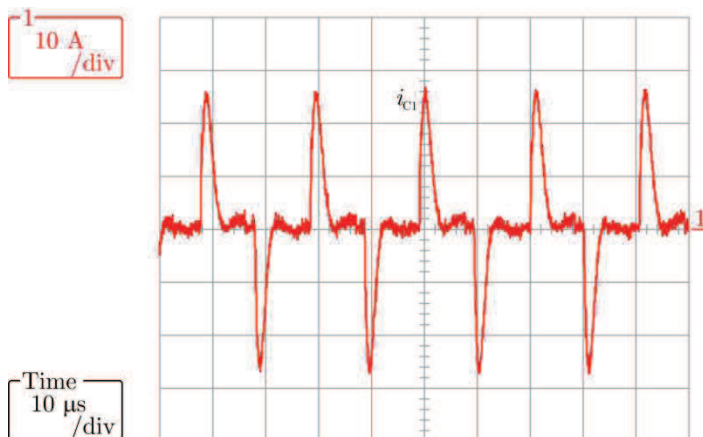


Figura 5.22: Corrente no capacitor chaveado C_{1a} para o conversor operando a 430 W de potência de saída.

5.7 Comparação com autotransformador

O conversor a capacitor chaveado abaixador CA-CA apresentou resultados contundentes que sustentam sua potencial utilização como alternativa aos convencionais autotransformadores.

Uma comparação com um autotransformador convencional é apresentada abaixo.

Um autotransformador convencional de 500 VA possui aproximadamente 2,2 kg de massa e 0,62 dm³.

O conversor a capacitor chaveado abaixador CA-CA de 600 W possui aproximadamente 0,5 kg de massa e 0,3 dm³.

A densidade de potência do autotransformador e do conversor CA-CA é apresentada nas equações (5.27) e (5.28). Conclui-se que o conversor a capacitor chaveado possui elevada densidade de potência quando comparado com autotransformadores convencionais.

$$d_{P,\text{autotransformador}} = 0,8 \frac{kW}{dm^3} \quad (5.27)$$

$$d_{P,\text{conversor.CA-CA}} = 2,0 \frac{kW}{dm^3} \quad (5.28)$$

5.8 Partida do conversor

O conversor a capacitor chaveado CA-CA abaixador foi implementado e foi-se utilizado partida direta, ou seja, aplicou-se tensão de alimentação com os interruptores sendo comandados em razão cíclica fixa nominal.

A Figura 5.23 apresenta a corrente de partida com o conversor operando a 600 W de potência de saída. Nota-se que a corrente de pico na carga dos capacitores chaveados é de 20 A.

Nenhum limitador de corrente de partida foi utilizado e pico da corrente de entrada foi e de apenas 20 A. Isto é devido aos capacitores chaveados possuírem baixa capacitância, entretanto, para conversores com capacitores chaveados com capacitância elevada deve-se adotar estratégias de limitação de corrente de partida.

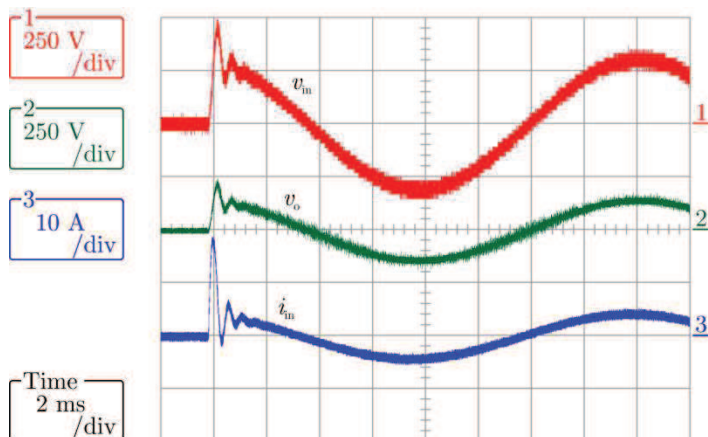


Figura 5.23: Tensão de entrada, tensão de saída e corrente de entrada, durante a inicialização para o conversor operando a 600 W de potência de saída.

5.9 Conversor a capacitor chaveado CA-CA operando como elevador

O conversor a capacitor chaveado CA-CA elevador não foi estudado neste trabalho.

Apenas para demonstrar a funcionalidade do conversor como elevador realizou-se a experimentação do mesmo.

Os resultados experimentais são apresentados a seguir.

A equação (5.29) apresenta a característica externa do conversor, ela apresenta o mesmo comportamento linear dos conversores a capacitores chaveados.

$$V_o(I_o) = 220,38 - 7,4956I_o \quad (5.29)$$

A Figura 5.24 apresenta os resultados experimentais do conversor e observa-se que o comportamento do conversor operando como elevador é análogo ao comportamento o mesmo operando como abaixador.

A Figura 5.25 apresenta as formas de onda de tensão de saída e corrente de entrada, juntamente com a tensão no interruptor S_{1a} para o conversor operando a 500 W.

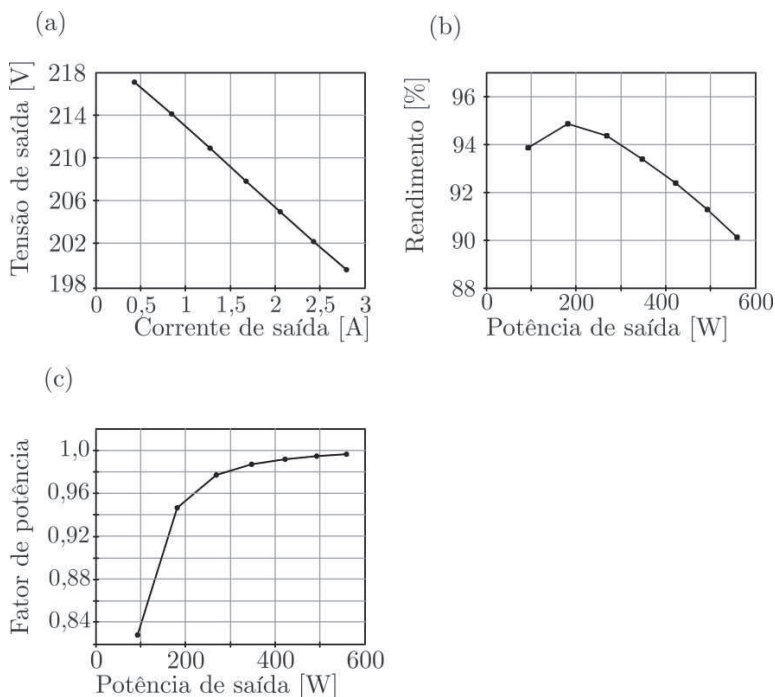


Figura 5.24: Resultados experimentais: (a) característica externa, (b) rendimento, (c) fator de potência.

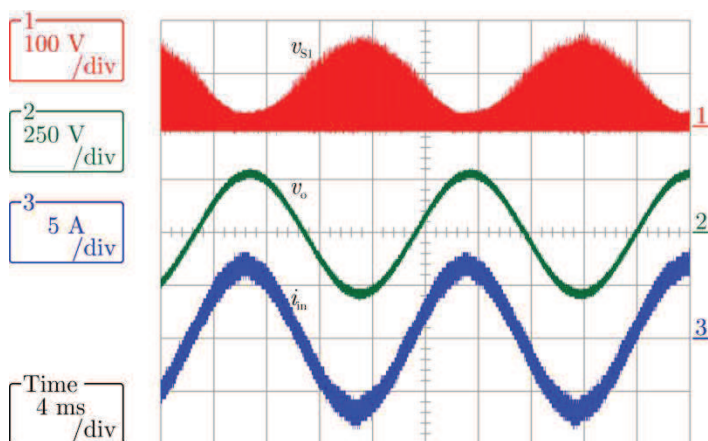


Figura 5.25: Tensão no interruptor S_{1a} , tensão de saída e corrente de entrada para o conversor operando a 500 W.

5.10 Conclusão

Este capítulo apresentou o estudo, análise e experimentação do conversor a capacitor chaveado CA-CA.

Os resultados experimentais mostram que o conversor possui rendimento elevado e baixa complexidade, podendo ser uma opção para aplicações que necessitem de duas tensões CA distintas com relação de $\frac{1}{2}$.

A lógica de comando dos interruptores é simples e opera em malha aberta com razão cíclica fixa e a inicialização não necessita de circuito adicional.

A indutância da rede de alimentação funciona como um filtro para o conversor, reduzindo consideravelmente o valor eficaz da corrente de entrada.

Uma desvantagem do conversor a capacitor chaveado CA-CA é o elevado número de interruptores e a necessidade de isolar o comando de 6 interruptores. Entretanto, com a utilização de transformadores de pulso é possível comandar todos os interruptores com o mesmo transformador e apenas um sinal PWM de comando.

Devido à não existência de sobretensões nos interruptores, é possível utilizar interruptores de 200 V que, além de serem mais baratos, possuem menor valor de resistência série, o que resultaria em menor resistência equivalente.

Capítulo 6

Considerações Finais

6.1 Conclusão Geral

Este trabalho apresentou o estudo de um conversor a capacitor chaveado CC-CC e, também, apresentou uma nova topologia de um conversor CA-CA.

A partir dos estudos teóricos e experimentais, pode-se concluir que os conversores a capacitores chaveados podem ser uma resposta para os novos desafios tecnológicos deste século.

Os conversores a capacitores chaveados possuem baixo ruído eletromagnético, necessitando de menores filtros.

As topologias estudadas não requerem algoritmos complexos de controle e apresentaram bons resultados operando em malha aberta com razão cíclica fixa.

Com a experimentação, observou-se que a utilização de componentes com elevadas indutâncias parasitas prejudica significativamente o comportamento e o rendimento dos conversores a capacitores chaveados.

O conversor a capacitor chaveado CA-CA abaixador apresentou resultados contundentes que sustentam a potencial utilização deste como alternativa aos convencionais autotransformadores.

O conversor CA-CA abaixador apresentou menores perdas nos interruptores, quando comparado aos valores teóricos esperados. Isto foi decorrente da influência das indutâncias parasitas. Com isto, um reprojeto dos interruptores contribuiria para o aumento do rendimento do conversor.

O circuito de comando dos interruptores do conversor CA-CA limitou a frequência de comutação do inversor. O ponto ótimo de

operação do conversor a capacitor chaveado é em frequências acima de 50 kHz. Este ponto não pode ser encontrado devido à limitação do circuito de comando.

O paralelismo de conversores a capacitores chaveados – realizando um *interleaving* das correntes de entrada e saída do conversor – se mostrou uma ótima técnica para otimizar o conversor. O paralelismo torna os conversores capazes de multiplicar a capacidade de fornecer potência à carga, permitindo a modularização dos conversores.

6.2 Recomendações para Trabalhos Futuros

Como tópicos para continuidade e melhorias deste trabalho, cabe propor:

- ✓ Estudo e análise da bidirecionalidade do conversor CA-CA e estudo do seu comportamento como elevador.
- ✓ Desenvolvimento de uma metodologia de projeto objetivando encontrar o ponto ótimo de frequência de comutação.
- ✓ Estudo e análise do conversor CA-CA operando com cargas não puramente resistivas.
- ✓ Estudo de circuitos de comando para o conversor CA-CA que utilizem os capacitores chaveados, como em [5].
- ✓ Estudo de estratégias de partida, com por exemplo, variação linear da razão cíclica.

Referências

- [1] A. Ioinovici, "Switched-capacitor power electronics circuits," *Circuits and Systems Magazine*, IEEE, vol. 1, n. 3, p. 37–42, 2001.
- [2] M. Makowski and D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters," *Power Electronics Specialists Conference*, pp. 1215 - 1221, 18-22 June 1995.
- [3] N. SEMICONDUCTOR. [Online]. Available: <http://www.national.com/mpf/LM/LM2750.html>. [Acesso em 06 julho 2010].
- [4] N. SEMICONDUCTOR. [Online]. Available: <http://www.national.com/mpf/LM/LM2662.html>. [Acesso em 07 Julho 2010].
- [5] F. Peng, F. Zhang and Z. Qian, "A magnetic-less DC-DC converter for dual voltage automotive systems," *Industry Applications*, IEEE Transactions on, vol. 39, no. 2, pp. 511-518, 2003.
- [6] J. Kimball and P. Krein, "Analysis and design of switched capacitor converters," *Applied Power Electronics Conference and Exposition*, pp. 1473 - 1477, 6-10 March 2005.
- [7] G. Zhu, H. Wei, I. Batarseh and A. Ioinovici, "A new switched-capacitor dc-dc converter with improved line and load regulations," *Circuits and Systems*, vol. 5, pp. 234 - 237, 1999.
- [8] S. Cheong, H. Chung and A. Ioinovici, "Inductorless DC-to-DC converter with high power density," *Industrial Electronics*, IEEE Transactions on, vol. 41, no. 2, pp. 208 - 215, 1994.

- [9] T. Lazzarin, R. Andersen, G. Martins and I. Barbi, "A 600-W Switched-Capacitor AC–AC Converter for 220 V/110 V and 110 V/220 V Applications," *Power Electronics, IEEE Transactions on*, vol. 27, no. 12, pp. 4821-4826, 2012.

Apêndice A

Equacionamento dos esforços elétricos do projeto do Conversor Abaixador CC-CC de 4 Estágios

Parâmetros do conversor:	
$V_i := 48V$	Tensão de entrada
$P_o := 124.54W$	Potência de saída
$f_s := 50kHz$	Frequência de chaveamento
$D := 0.45$	Razão cíclica
$T_a := 40^{\circ}C$	Temperatura ambiente
<hr/>	
Interruptor: <i>Mosfet</i>	
Part Number: IRFP064N	
$R_{\theta JC.mos} := 0.75 \frac{K}{W}$	Resistência térmica junção-cápsula
$R_{\theta CS.mos} := 0.24 \frac{K}{W}$	Resistência térmica cápsula-dissipador
$R_{\theta JA.mos} := 40 \frac{K}{W}$	Resistência térmica junção-ambiente
$V_s := 0.0V$	Tensão dos interruptores
$R_{DS.on.typ} := 8m\Omega$	Resistência de condução Drain-Source típica, para temperatura de junção de 20°C
$R_{DS.norm.tj.120^{\circ}} := 1.5$	Resistência de condução Drain-Source normalizada, para temperatura de junção de 120°C
$R_{DS.norm.tj.40^{\circ}} := 1.1$	Resistência de condução Drain-Source normalizada, para temperatura de junção de 120°C

$R_{DS, on} := R_{DS, on, typ} \cdot R_{DS, norm, tj, 40^{\circ}} = 8.8\text{ m}\Omega$

Interruptor S1: Será utilizado 1 Mosfet IRFB3806PbF

$R_{S1} := R_{DS, on} = 8.8\text{ m}\Omega$

Interruptor S2: Será utilizado 1 Mosfet IRFB3806PbF

$R_{S2} := R_{DS, on} = 8.8\text{ m}\Omega$

Diodo Schottky:

Part Number: 83CNQ100

$V_d := 0.2V$	Tensão nos diodos
$R_d := 20m\Omega$	Resistência série dos diodos
$R_{\theta JC.dio} := 0.85 \frac{K}{W}$	Resistência Térmica Junção-Cápsula
$R_{\theta CS.dio} := 0.3 \frac{K}{W}$	Resistência Térmica Cápsula-Dissipador
$R_{\theta CA.dio} := 40 \frac{K}{W}$	Resistência Térmica Cápsula-Ambiente

Capacitor:

Part Number: B41859

$C_{s, unit} := 330\mu F$	Capacitância de um capacitor.
$Z_{max, 100kHz, 20^{\circ}C} := 120m\Omega$	Impedância máxima a 100kHz, 20oC, aprox. RSE
$I_{AC, R, 105^{\circ}C} := 830mA$	Corrente eficaz aceitável a 100kHz
$V_{rC, unit} := 25V$	Tensão máxima suportada pelo capacitor
$Q_{td} := 8$	Quantidade de capacitores utilizados em paralelo para suportar a corrente eficaz.

$R_{SE} := \frac{Z_{\max, 100\text{kHz}, 20^\circ\text{C}}}{Q_{\text{td}}} = 15 \cdot \text{m}\Omega$	Resistência série equivalente e um capacitor resultante da célula
$C_s := C_{s, \text{unit}} \cdot Q_{\text{td}} = 2.64 \times 10^3 \cdot \mu\text{F}$	Capacitância resultante da célula
$\text{Dia}_{\text{cap}} := 10\text{mm}$	Diâmetro de um capacitor
$h_{\text{cap}} := 16\text{mm}$	Altura de um capacitor
$\text{Área} := Q_{\text{td}} \frac{\pi \cdot \text{Dia}_{\text{cap}}^2}{4} = 628.319\text{mm}^2$	Área ocupada pelo conjunto de capacitores
$\text{Volum} := \text{Área} \cdot h_{\text{cap}} = 10.053\text{mL}$	Volume ocupado pelo conjunto de capacitores

Cálculos iniciais:

$D_1 := D$	Razão cíclica do interruptor S1
$D_2 := 1 - D$	Razão cíclica do interruptor S2
$\tau_1(C_s) := \left(\frac{R_{S1}}{4} + \frac{3}{4}R_d + R_{SE} \right) \cdot C_s$	Constante de tempo para a primeira etapa de operação
$\tau_1(C_s) = 85.008\mu\text{s}$	
$\tau_2(C_s) := (4R_{S2} + 2R_d + R_{SE}) \cdot C_s$	Constante de tempo para a segunda etapa de operação
$\tau_2(C_s) = 238.128\mu\text{s}$	
$T_s := \frac{1}{f_s} = 20\mu\text{s}$	Período de chaveamento

Cálculo da Tensão de saída com carga nominal

$$V_{o,A} := \frac{4 \cdot C_s \cdot f_s \cdot \left(e^{\left(\frac{D_1}{\tau_1(C_s)} \cdot T_s \right)} - 1 \right) \cdot \left(e^{\left(\frac{D_2}{\tau_2(C_s)} \cdot T_s \right)} - 1 \right)}{P_o}$$

$$V_{o,B} := -\frac{C_s \cdot f_s \cdot \left(e^{\frac{D_1}{\tau_1(C_s)} \cdot T_s} - 1 \right) \cdot \left(e^{\frac{D_2}{\tau_2(C_s)} \cdot T_s} - 1 \right)}{P_o} \cdot (V_i - 11 \cdot V_d - 5 \cdot V_s)$$

$$V_{o,C} := e^{\frac{D_1}{\tau_1(C_s)} \cdot T_s} \cdot e^{\frac{D_2}{\tau_2(C_s)} \cdot T_s} - 1$$

$$V_o := \frac{-V_{o,B} + \sqrt{(V_{o,B})^2 - 4 \cdot V_{o,A} \cdot V_{o,C}}}{2V_{o,A}} = 10.76867V \quad \text{Tensão de saída}$$

$$R_o := \frac{V_o^2}{P_o} = 0.931140748\Omega \quad \text{Resistência de carga}$$

Cálculo da resistência equivalente:

$$R_{eq} := \frac{1}{4f_s \cdot C_s} \cdot \frac{e^{\left(\frac{D_1}{\tau_1(C_s)} + \frac{D_2}{\tau_2(C_s)} \right) \cdot T_s} - 1}{\left(e^{\frac{D_1}{\tau_1(C_s)} \cdot T_s} - 1 \right) \cdot \left(e^{\frac{D_2}{\tau_2(C_s)} \cdot T_s} - 1 \right)} = 0.05891\Omega$$

$$R_{eq,min} := \frac{\left(2 \cdot R_{S2} + R_d + \frac{R_{SE}}{2} \right) \cdot D_1 + \frac{3}{8} \cdot D_2 \cdot \left(\frac{1}{3} \cdot R_{S1} + R_d + \frac{4}{3} \cdot R_{SE} \right)}{2D_1 \cdot D_2} = 0.05889\Omega$$

Característica externa:

$$V_o(I_o) := \frac{V_i}{4} - \frac{11}{4}V_d - R_{eq} \cdot I_o$$

onde:

$$\frac{V_i}{4} - \frac{11}{4}V_d = 11.45V$$

$$R_{eq} = 58.913m\Omega$$

Cálculo das tensões Va e Vb

$$V_a := \frac{\left[\begin{array}{c} \frac{D_2 \cdot T_s}{\tau_2(C_s)} \\ (4 \cdot V_o + 8 \cdot V_d + 4 \cdot V_s) \cdot e^{\frac{D_2 \cdot T_s}{\tau_2(C_s)}} \dots \cdot e^{\frac{D_1 \cdot T_s}{\tau_1(C_s)}} + 3 \cdot V_d + V_s - V_i \\ + V_i - 4 \cdot V_o - 11 \cdot V_d - 5 \cdot V_s \end{array} \right]}{4 \left(e^{\left(\frac{D_1 \cdot T_s}{\tau_1(C_s)} + \frac{D_2 \cdot T_s}{\tau_2(C_s)} \right)} - 1 \right)}$$

$$V_b := \frac{\left[\begin{array}{c} \frac{D_1 \cdot T_s}{\tau_1(C_s)} \\ (V_i - 3 \cdot V_d - V_s) \cdot e^{\frac{D_1 \cdot T_s}{\tau_1(C_s)}} \dots \cdot e^{\frac{D_2 \cdot T_s}{\tau_2(C_s)}} - 8 \cdot V_d - 4V_s - 4V_o \\ + 11 \cdot V_d - V_i + 4 \cdot V_o + 5 \cdot V_s \end{array} \right]}{4 \left(e^{\left(\frac{D_1 \cdot T_s}{\tau_1(C_s)} + \frac{D_2 \cdot T_s}{\tau_2(C_s)} \right)} - 1 \right)}$$

$$V_a = 11.632V$$

$$V_b = 11.654V$$

Correntes:

Valores médios e eficazes:

$$I_{S1.med} := \frac{(V_i - 4 \cdot V_a - 3 \cdot V_d - V_s) \cdot C_s \cdot f_s \cdot \left(1 - e^{\frac{-D_1}{f_s \cdot \tau_1(C_s)}}\right)}{4} = 2.89126A$$

$$I_{S1.ef} := \sqrt{\frac{C_s^2 \cdot f_s \cdot (V_i - 4 \cdot V_a - 3 \cdot V_d - V_s)^2 \cdot \left(1 - e^{\frac{-2D_1}{f_s \cdot \tau_1(C_s)}}\right)}{32 \tau_1(C_s)}} = 4.31204A$$

$$I_{S2.med} := -4(V_o - V_b + 2 \cdot V_d + V_s) \cdot C_s \cdot f_s \cdot \left(1 - e^{\frac{-D_2}{f_s \cdot \tau_2(C_s)}}\right) = 11.56503A$$

$$I_{S2.ef} := 4 \sqrt{\frac{C_s^2 \cdot f_s \cdot (V_o - V_b + 2 \cdot V_d + V_s)^2 \cdot \left(1 - e^{\frac{-2D_2}{f_s \cdot \tau_2(C_s)}}\right)}{2 \tau_2(C_s)}} = 15.59567A$$

$$I_{D1.med} := I_{S1.med} = 2.89126A$$

$$I_{D1.ef} := I_{S1.ef} = 4.31204A$$

$$I_{D2.med} := \frac{I_{S2.med}}{4} = 2.89126A$$

$$I_{D2.ef} := \frac{I_{S2.ef}}{4} = 3.89892A$$

$$I_{C.ef} := \sqrt{(I_{S1.ef})^2 + \left(\frac{I_{S2.ef}}{4}\right)^2} = 5.81337A$$

Teste quantidade de capacitores necessários para constituir um capacitor chaveado

$$I_{C.ef} = 5.813A$$

$$Q_{td} = 8$$

$$I_{AC.R.1050C} Q_{td} = 6.64A$$

$$\text{Teste} := \begin{cases} \text{"OK"} & \text{if } I_{AC.R.1050C} Q_{td} > I_{C.ef} \cdot 1.1 \\ \text{"Fail"} & \text{otherwise} \end{cases} = \text{"OK"}$$

Corrente de pico:

$$i_{S1.pk} := \frac{(V_i - 4 \cdot V_a - 3 \cdot V_d - V_s)}{R_{S1} + 4 \cdot R_d + 4 \cdot R_{SE}} = 5.86103A$$

$$i_{S2.pk} := \frac{-4(V_o - V_b + 2 \cdot V_d + V_s)}{4R_{S2} + 2 \cdot R_d + R_{SE}} = 21.51673A$$

$$i_{D1.pk} := i_{S1.pk} = 5.861A$$

$$i_{D2.pk} := \frac{i_{S2.pk}}{4} = 5.379A$$

Capacitor de saída:

$$I_{Co.ef} := \sqrt{I_{S2.ef}^2 - \left(\frac{P_o}{V_o} \right)^2} = 10.46303A$$

Considerando a utilização do mesmo capacitor:

$$Q_{tdCo} := 16$$

$$I_{Co.cap} := I_{AC.R.1050C} Q_{tdCo} = 13.28A$$

$$R_{SE.Co} := \frac{Z_{\max.100kHz.200C}}{Q_{tdCo}} = 7.5m\Omega$$

Resistência série equivalente e um capacitor resultante do capacitor de saída

$$C_o := C_{s,unit} \cdot Q_{tdd} C_o = 5.28 \times 10^3 \cdot \mu F$$

Capacitância resultante do capacitor de saída

$$\text{Área}_{C_o} := Q_{tdd} C_o \frac{\pi \cdot \text{Dia}_{cap}^2}{4} \quad \text{Área}_{C_o} = 12.566 \text{ cm}^2$$

Área ocupada pelo capacitor de saída

$$\text{Volum}_{C_o} := \text{Área}_{C_o} \cdot h_{cap} = 20.106 \text{ mL}$$

Volume ocupado pelo capacitor de saída

Perdas No Mosfet S1:

$$P_{S1} := R_{S1} \cdot I_{S1,ef}^2 = 0.164 \text{ W}$$

Perdas No Mosfet S2:

$$P_{S2} := R_{S2} \cdot (I_{S2,ef})^2 = 2.14 \text{ W}$$

Temperatura Junção S1

$$T_{J,S1} := R_{\theta JA,mos} \cdot P_{S1} + T_a = 46.545^\circ \text{C}$$

Temperatura Junção S2

$$T_{J,S2} := R_{\theta JA,mos} \cdot P_{S2} + T_a = 125.615^\circ \text{C} \quad \text{Não necessita Dissipador!}$$

Perdas Nos Diodos D1:

$$P_{D1} := R_d \cdot I_{D1,ef}^2 + V_d \cdot I_{D1,med} = 0.95 \text{ W}$$

Perdas Nos Diodos D2:

$$P_{D2} := R_d \cdot I_{D2,ef}^2 + V_d \cdot I_{D2,med} = 0.882 \text{ W}$$

Temperatura Junção D1

$$T_{J,D1} := (R_{\theta JC,dio} + R_{\theta CA,dio}) \cdot P_{D1} + T_a = 78.813^{\circ}\text{C}$$

Temperatura Junção D2

$$T_{J,D2} := (R_{\theta JC,dio} + R_{\theta CA,dio}) \cdot P_{D2} + T_a = 76.041^{\circ}\text{C}$$

Perdas Na resistência série dos capacitores:

$$P_{RSE,Cs} := R_{SE} \cdot I_{C,ef}^2 = 0.507\text{W}$$

$$P_{RSE,Co} := R_{SE,Co} \cdot I_{Co,ef}^2 = 0.821\text{W}$$

Perdas Totais:

$$P_T := P_{S1} + P_{S2} + 3P_{D1} + 6P_{D2} + 4P_{RSE,Cs} + P_{RSE,Co} = 13.297\text{W}$$

Rendimento para máxima carga:

$$\eta := \frac{P_o}{P_o + P_T} = 0.904$$

Apêndice B

Cálculo térmico dos interruptores do Conversor a Capacitor Chaveado CA-CA Abaixador

1. Descrição:

Projeto do dissipador para os insterruptores do conversor CA-CA Abaixador.

2. Especificações Térmicas:

Temperatura Junção: $T_j := 125\text{ }^{\circ}\text{C}$

Temperatura Ambiente: $T_a := 25\text{ }^{\circ}\text{C}$

Variação da Temperatura Junção Ambiente: $\Delta T := T_j - T_a = 100 \cdot \Delta\text{ }^{\circ}\text{C}$

3. Dados do Interruptor

Interruptor escolhido: **IRF740**

Tensão Máxima Dreno Source: $V_{DSS} := 500\text{V}$

Tensão máxima obtida por simulação: $V_{S,max} := 155\text{V}$

Corrente de Dreno: $I_D := 20\text{A}$

Resistência de Condução normalizada para 25°C: $R_{DS,on,norm} := 0.22\Omega$

Resistência de Condução para 100°C: $R_{DS,on} := R_{DS,on,norm} \cdot 1.55 = 0.341\Omega$

Resistência Térmica Junção Ambiente: $R_{\theta JA} := 30 \frac{\text{K}}{\text{W}}$

Resistência Térmica Junção Cápsula: $R_{\theta JC} := 0.45 \frac{\text{K}}{\text{W}}$

Resistência Térmica Cápsula Dissipador: $R_{\theta CD} := 0.24 \frac{\text{K}}{\text{W}}$

Resistência Térmica Mica: $R_{\theta M} := 1 \frac{\text{K}}{\text{W}}$

Corrente Eficaz no Interruptor para Po=600W:

$$I_{S,ef} \cdot 20\Omega := 5.8A$$

Corrente Eficaz no Interruptor:

$$I_{S,ef} := I_{S,ef} \cdot 20\Omega = 5.8A$$

Número de Interruptores em paralelo

$$n := 2$$

Número de Interruptores:

$$n_{it} := 8 \cdot n = 16$$

Perda em um interruptor:

$$P_{cond} := R_{DS,on} \cdot \left(\frac{I_{S,ef}}{n} \right)^2$$
$$P_{cond} = 2.868W$$

Para levar em consideração as perdas por comutação a perda total (P_s) será igual ao dobro de P_{cond}

$$P_{Si} := 2 \cdot P_{cond}$$
$$P_{Si} = 5.736W$$

$$P_{Total} := n_{it} \cdot P_{Si}$$
$$P_{Total} = 91.77W$$

$$\Delta T_s := P_{Si} \cdot R_{\theta JA}$$
$$\Delta T_s = 172.069\Delta^{\circ}C$$

Verificação da necessidade de dissipador:

$$VND := \begin{cases} \text{"Necessita de Dissipador!"} & \text{if } \Delta T_s > \Delta T \\ \text{"Não necessita de Dissipador!"} & \text{otherwise} \end{cases}$$

VND= "Necessita de Dissipador!"

Calculo do Dissipador:

$$R_{da} := \frac{\Delta T}{n_{it} \cdot P_{Si}} - \frac{R_{\theta JC} + R_{\theta CD} + R_{\theta M}}{n_{it}}$$
$$R_{da} = 0.984 \frac{\Delta^{\circ}C}{W}$$

Apêndice C

Publicação no periódico IEEE *Transactions on Power Electronics*

Letters

A 600-W Switched-Capacitor AC–AC Converter for 220 V/110 V and 110 V/220 V Applications

Telles B. Lazzarin, Romero L. Andersen, Guilherme B. Martins, and Ivo Barbi

Abstract—This letter proposes an ac–ac converter based on the switched-capacitor principle. The new topology is described, analyzed, designed, and tested in the laboratory. The converter characteristics at the frequency of the input voltage and at the switching frequency are described herein. The absence of magnetic elements and the stress voltages in all components equal to half the input voltage are the main advantages of the proposed ac–ac converter. In order to demonstrate the performance of this converter a design example and experimental results for a prototype of 600 W, 220 V_{rms} high-side voltage, 110 V_{rms} low-side voltage, and switching frequency of 50 kHz are reported herein. The maximum and nominal efficiencies obtained were 95.6% and 90.6%, respectively.

Index Terms—AC–AC converter, switched-capacitor (SC).

I. INTRODUCTION

SWITCHED-CAPACITOR (SC) converters have been a very important research topic for many years, particularly in nonisolated dc–dc applications [1]–[3]. Previous studies on SC dc–dc converters have presented different topologies for low-power/low-voltage applications [4], [5], investigated equivalent circuit models [6]–[10] which can easily describe the behavior of these circuits, and verified that using the SCs with inverters [11]–[13] provides good results. Recent studies have applied the SC principle to snubbers for dc–dc converters [14], testing different control strategies, and interleaving SC converters in order to reduce current and voltage ripple [15]. Applications that already benefit from the SC principle include converters for the automotive environment [16], [17], electric vehicles [18] and battery equalizer circuits [19]. As SC power converters are composed only of capacitors and switches, without magnetic devices, they can achieve a significant size reduction in comparison with the converters generally used in conventional switched-mode power supplies.

In this letter, an SC ac–ac converter is investigated, with the aim of providing a potential alternative to the conventional electromagnetic autotransformer (without control of output voltage) in low-voltage/low-power domestic applications. The proposed

converter is composed only of power MOSFETs and capacitors and is appropriate for interconnecting a 110 V_{rms} load to a 220 V_{rms} power supply, and vice versa.

II. PROPOSED SC AC–AC CONVERTER

The SC ac–ac converter proposed herein is shown in Fig. 1(a). It has two legs, each consisting of an SC cell. The goal of cells based on SC is to ensure the voltage balance between capacitors C_2 and C_3 and capacitors C_5 and C_6 . Therefore, capacitors C_1 and C_4 are switched with the aim of transferring electrical charge between capacitors C_2 , C_3 , C_5 , and C_6 , as in the SC dc–dc converters. Thus, the converter has two stages during a switching period. In the first stage, C_1 is connected in parallel with C_2 and C_4 is connected in parallel with C_5 . In the second stage, C_1 is connected in parallel with C_3 and C_4 is connected in parallel with C_6 .

The proposed gate drive signals of the switches are shown in Fig. 1(b). The duty cycle is 50%, which is the point at which the SC converters have the best efficiency and static regulation. However, a change in the duty cycle to values of around 50% will not significantly affect these characteristics. The effect of changes in the duty cycle will be discussed in a later section.

In the proposed SC ac–ac converter, the input voltage is connected between points “a” and “b,” and the topology presents a differential output voltage between points “c” and “d.” An interesting characteristic of this topology is that it is bidirectional and, thus, the input and output can be inverted, allowing step-up or step-down operation.

III. THEORETICAL ANALYSIS

This section presents a theoretical analysis of the proposed SC ac–ac converter. Initially, low-frequency analysis is shown (frequency of the input voltage). The converter is then studied in a switching period (high-frequency analysis). Finally, the basic equations employed in the design of the converter are presented.

A. Low-Frequency Analysis

The aim of the low-frequency analysis is to present some characteristics of the SC ac–ac converter, such as the principle of operation, the voltage gain, and the voltage stresses on the components.

The theoretical voltage gain of the proposed SC ac–ac converter can be understood considering that the SCs C_1 and C_4 ensure the voltage balance between C_2 , C_3 , C_5 , and C_6 in the

Manuscript received September 20, 2011; revised December 29, 2011 and April 20, 2012; accepted May 27, 2012. Date of current version July 13, 2012. Recommended for publication by Associate Editor B. Wang.

The authors are with the Department of Electrical Engineering, Power Electronics Institute, Universidade Federal de Santa Catarina, Santa Catarina 88040-970, Brazil (e-mail: tellesb1@gmail.com; romero@inep.ufsc.br; guilhermem@inep.ufsc.br; ivobarbi@inep.ufsc.br).

Digital Object Identifier 10.1109/TPEL.2012.2203318

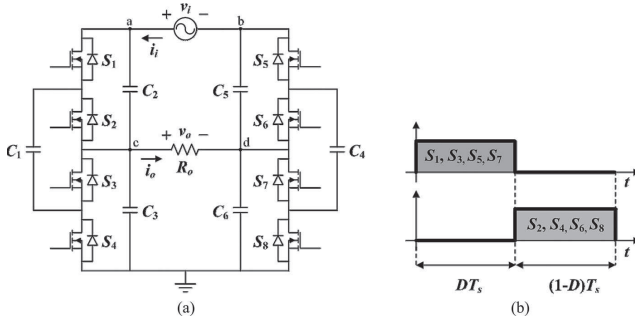


Fig. 1. (a) Proposed SC ac-ac converter and (b) gate drive signals.

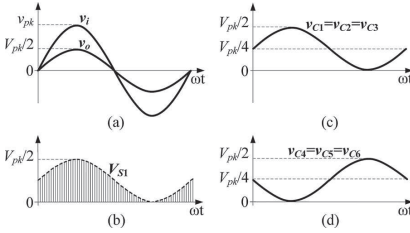


Fig. 2. Theoretical waveforms of the proposed ac-ac converter: (a) input and output voltages; (b) voltage across S_1 ; (c) voltages across the capacitors of the left leg; and (d) voltages across the capacitors of the right leg.

circuit shown in Fig. 1(a). The theoretical voltage gain was, thus, obtained as presented in

$$G_{v_ideal} = \frac{v_o}{v_i} = \frac{1}{2}. \quad (1)$$

It can be seen that the value of the gain is one-half for the converter in step-down operation and two for step-up operation. Based on this conclusion, the theoretical waveforms of the input and output voltages (v_i and v_o) of the proposed converter are illustrated in Fig. 2(a), V_{pk} being the peak value of the input voltage v_i .

The voltage balance between the capacitors is ensured by the SC operation. Capacitors C_2 , C_3 , C_5 , and C_6 have an ac component equal to one quarter ($v_i/4$) of the input voltage v_i . Due to the SC operation, the capacitors C_1 and C_4 also have this component. Furthermore, when the first negative half-cycle of the input voltage is applied to a leg, all the diodes of that leg conduct and, thus, all of the input voltage is applied to the other leg. These transients introduce a dc component of $V_{pk}/4$ to all capacitors, which avoids negative voltages. Therefore, the total voltage across the capacitors is composed of an ac component with a peak value of $V_{pk}/4$ and a dc component of $V_{pk}/4$. Thus, the maximum voltage across each capacitor is $V_{pk}/2$, as shown in Fig. 2(c) and (d). Consequently, the maximum voltage applied

to all switches is also $V_{pk}/2$. Fig. 2(b) illustrates the voltage across S_1 , as an example.

B. High-Frequency Analysis

The proposed SC ac-ac converter has two operation stages per switching period for each half-cycle of the grid voltage. During the positive half-cycle of the grid voltage, the operation stages can be described as follows.

- 1) *First stage*: Starts when switches S_1 , S_3 , S_5 , and S_7 are turned ON. Capacitor C_1 charges and capacitor C_4 discharges during this stage. Initially, capacitors C_2 and C_6 are discharging and capacitors C_3 and C_5 are charging, and their currents decrease to zero (Δt_{1A}). Capacitors C_2 and C_6 then start to charge and capacitors C_3 and C_5 start to discharge until the end of the stage (Δt_{1B}). The power source v_i delivers energy to the circuit during this stage. Switches S_1 , S_3 , S_5 , and S_7 are turned OFF at the end of this stage. This topological stage is shown in Fig. 3(a).
- 2) *Second stage*: Starts when switches S_2 , S_4 , S_6 , and S_8 are turned ON. Capacitor C_1 discharges and capacitor C_4 charges during this stage. First, the power source v_i receives energy from the circuit, capacitors C_2 and C_6 discharge and capacitors C_3 and C_5 charge until their currents reach zero (Δt_{2A}). Second, the power source delivers energy to the circuit, capacitors C_2 and C_6 start to charge and capacitors C_3 and C_5 start to discharge until the end of the stage (Δt_{2B}). Switches S_2 , S_4 , S_6 , and S_8 are turned OFF at the end of the second stage. This topological stage is shown in Fig. 3(b).

These two topological stages complete one switching period for the positive half-cycle of the grid. After the second stage, another switching period starts from the first stage.

During the negative half-cycle of the grid the proposed SC ac-ac converter presents similar topological stages with opposite current directions, which can be seen in Fig. 3(c) and (d).

The main theoretical waveforms for the positive and negative half-cycles of the grid are shown in Fig. 4(a) and (b), respectively.

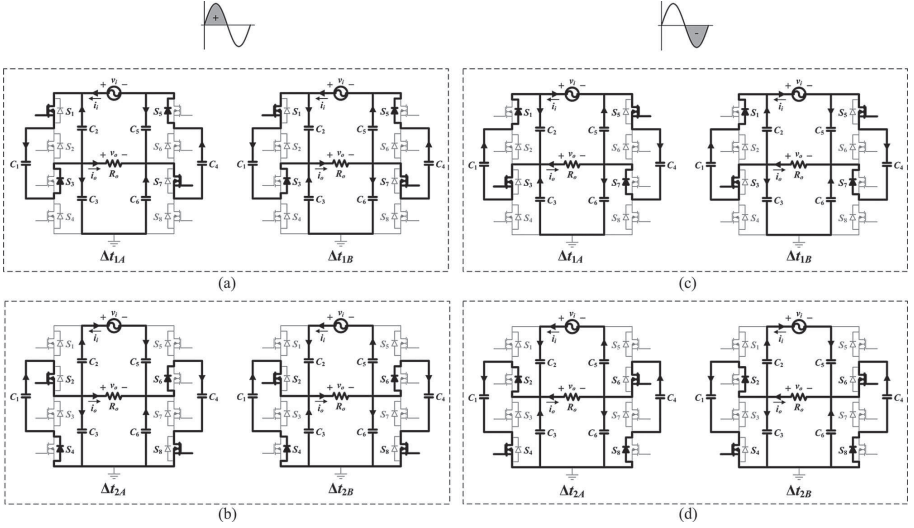


Fig. 3. Topological stages. Positive half-cycle of the grid voltage: (a) first stage and (b) second stage. Negative half-cycle of the grid voltage: (c) first stage and (d) second stage.

The peak value of the current through the switches and capacitors C_1 and C_4 , called I_{Spk} , can be calculated using

$$I_{Spk} = \frac{\Delta V_{13}}{R_{on}} = \frac{I_{opk}}{R_{on} \cdot 4 \cdot f_s \cdot C} \cdot \left(1 + \frac{1 + e^{(-1/2) \cdot f_s \cdot R_{on} \cdot C}}{1 - e^{(-1/2) \cdot f_s \cdot R_{on} \cdot C}} \right). \quad (2)$$

This current is defined by the division of ΔV_{13} (voltage difference between the capacitors immediately after the switch is closed, as shown in Fig. 4) by R_{on} (switch resistance). The highest value of I_{Spk} occurs during the current peak of the load I_{opk} and ΔV_{13} is, thus, defined in (2) for this operation point. The variables f_s and C are the switching frequency and the capacitance of the capacitors, respectively. The proposed equation is valid for all types of load because it is defined as a function of the peak value of the load current.

C. Designing Basic Equations

The proposed SC ac-ac converter has an equivalent resistance as defined in

$$R_{eq} = \frac{1}{2 \cdot f_s \cdot C} \cdot \frac{(1 - e^{-1/(f_s \cdot R_{on} \cdot C)})}{[1 - (e^{-(D)/(f_s \cdot R_{on} \cdot C)} + e^{-(1-D)/(f_s \cdot R_{on} \cdot C)}) + e^{1/(f_s \cdot R_{on} \cdot C)}]} \quad (3)$$

This equation is obtained through traditional analysis of SCs and its result is similar to that obtained for SC dc-dc converters in [7]. The minimum value for the equivalent resistance is

observed for $D = 0.5$, which was chosen for the proposed converter. In this particular case, the equivalent resistance is defined by

$$R_{eq(D=0.5)} = \frac{1}{2 \cdot f_s \cdot C} \cdot \frac{(1 + e^{-1/2 \cdot f_s \cdot R_{on} \cdot C})}{(1 - e^{-1/2 \cdot f_s \cdot R_{on} \cdot C})}. \quad (4)$$

Equation (4) shows that the choice of switching frequency f_s , switch resistance R_{on} , and capacitance C define the equivalent resistance of the SC ac-ac converter, and the lower this value the lower the losses and, consequently, the higher the efficiency.

Another relevant factor in the design of the SC ac-ac converter is the reactive power supplied by the input voltage to the capacitors, which is defined in

$$Q = \left(\frac{V_{pk}}{\sqrt{2}} \right) \cdot 2 \cdot \pi \cdot f \cdot 0.375 \cdot C. \quad (5)$$

This is given by the peak value of the input voltage V_{pk} , the frequency f of the input voltage, and the capacitance C . Thus, the lower the capacitance C , the lower the reactive power in the converter.

Therefore, the design of the SC ac-ac converter can be based on (4) and (5), in which (4) relates the choice of f_s , R_{on} , and C to the efficiency and (5) relates the choice of C to the reactive power. Also, technological limitations and costs must be considered during the design.

Based on (4) and (5), in Fig. 5 a simplified equivalent circuit for the SC ac-ac converter is proposed. This represents losses in the resistance equivalent to the SCs and the reactive power flow in the capacitors. This simplified equivalent circuit allows

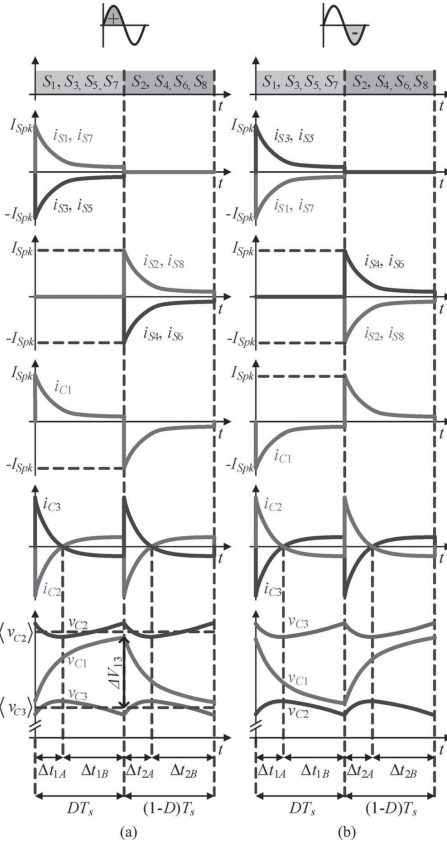


Fig. 4. Main theoretical high-frequency waveforms: (a) positive half-cycle of the grid voltage and (b) negative half-cycle of the grid voltage.

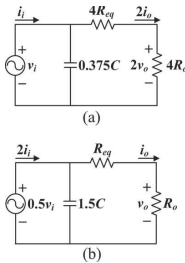


Fig. 5. Simplified equivalent circuit of SC ac-ac converter: (a) model "seen" by input source and (b) model "seen" by load.

TABLE I
MAIN SPECIFICATIONS AND COMPONENTS OF THE PROTOTYPE

Description	Quantity	Values
Output Power (P_o)	-	600 W
RMS Input Voltage (v_i)	-	220 V
RMS Output Voltage (v_o)	-	110 V
Input Voltage Frequency (f)	-	60 Hz
Switching Frequency (f_s)	-	50 kHz
Capacitors ($C_1, C_2, C_3, C_4, C_5, C_6$)	6	10 μ F
MOSFETs ($S_1, S_2, S_3, S_4, S_5, S_6, S_7, S_8$)	8	IRFP460 ($R_{DS(on)}=190$ m Ω / 25 $^{\circ}$ C)
MOSFET Drivers	4	Semikron SKHI 200p
Pulse Width Modulator	1	UC3525

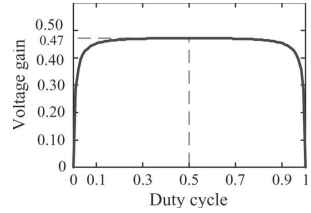


Fig. 6. Voltage gain as a function of the duty cycle.

a fast analysis of the converter during its design. In Fig. 5(a), the model parameters are described as they are "seen" by the input voltage and in Fig. 5(b) they are described as "seen" by the load.

The equivalent circuit of Fig. 5(b) leads to the voltage gain of the proposed SC ac-ac converter considering the voltage drop in the equivalent resistance presented in

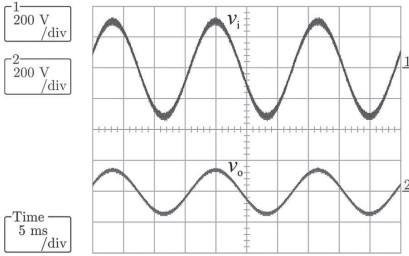
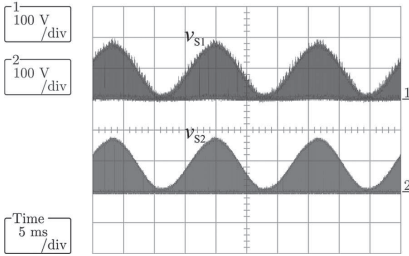
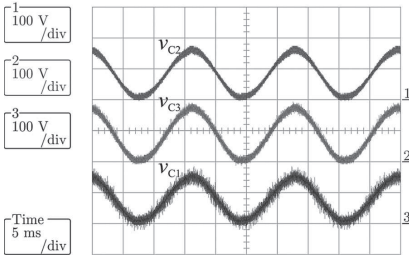
$$G_v = \frac{v_o}{v_i} = \frac{1}{2} \cdot \left(\frac{R_o}{R_o + R_{eq}} \right). \quad (6)$$

IV. PROTOTYPE IMPLEMENTATION AND EXPERIMENTAL RESULTS

In order to verify the proposed SC ac-ac converter operation, a laboratory prototype of 600 W, 220 V/110 V, and 60 Hz was designed. The main specifications and components are presented in Table I. During the experiments, the converter was fed by the electric grid which had a series inductance of 50 μ H and all tests were carried out with a duty cycle of 50%.

Applying the parameters of Table I in (3) and (6) the expected voltage gain of the converter as a function of the duty cycle was plotted (see Fig. 6). As previously mentioned, for $D = 0.5$ the converter presents the highest voltage gain, which was the reason for the choice of this value. The figure also shows that the voltage gain remains practically constant when the duty cycle changes from $D = 0.3$ to 0.7.

The experimental waveforms, presented in Figs. 7–11, were recorded while the converter was supplying 600 W to the load. Fig. 7 shows the input voltage v_i and the output voltage v_o , and, as expected, the output voltage is one-half of the input voltage. Fig. 8 shows the voltage across switches S_1 and S_2 , which do

Fig. 7. Experimental waveforms: input v_i and output v_o voltages.Fig. 8. Experimental waveforms: voltages across switches S_1 and S_2 .Fig. 9. Experimental waveforms: voltages across capacitor C_1 , C_2 , and C_3 .

not present overvoltage, and Fig. 9 shows the voltage across capacitors C_1 , C_2 , and C_3 . As expected, the maximum voltage applied to them is approximately one-half of the peak value of the input voltage. The input voltage and input current waveforms can be seen in Fig. 10. The input current is practically sinusoidal and it leads the voltage by 8° as the circuit is capacitive. The high-frequency component of the input current is reduced by a series filter inductance of $50 \mu\text{H}$. The current waveforms in switches S_1 and S_2 are presented in Fig. 11 and it can be observed that they are similar to the theoretical waveforms in Fig. 4.

The experimental results reported herein are for resistive load. Nevertheless, the proposed SC ac-ac converter has the characteristics of low and resistive impedance, as shown in the equivalent circuit in Fig. 5. Thus, it was verified by simulation that

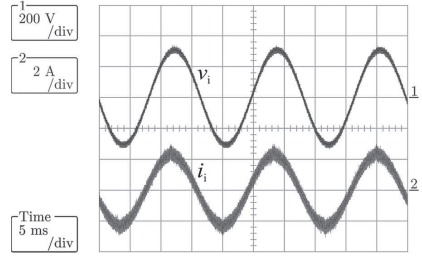
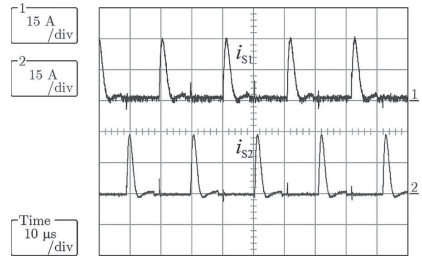
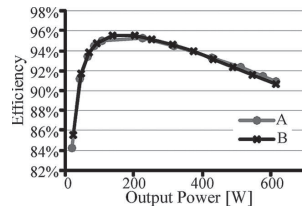
Fig. 10. Experimental waveforms: input voltage v_i and input current i_i .Fig. 11. Experimental waveforms: currents in switches S_1 (i_{S1}) and S_2 (i_{S2}).

Fig. 12. Efficiency: A—simulation of electrical circuit; B—experimental results.

similar results are obtained with other types of load, such as inductive and nonlinear.

Figs. 12–14 present the efficiency, the output voltage regulation and the input power factor, respectively, as a function of the output power of the designed SC ac-ac converter. These figures have two curves: Curve A—simulation results for electrical circuit and Curve B—experimental results.

The efficiency of the designed SC ac-ac converter at full load (600 W) was 90.6% and the maximum efficiency was 95.6% at 30% load (180 W), as seen in Fig. 12. In addition to the losses attributed to the equivalent resistance and the diodes, around 4 W of switching losses in the MOSFETs was identified through simulation when the intrinsic capacitances are considered.

The worst output voltage regulation was 91% at full load, as shown in Fig. 13. It can be seen in Fig. 14 that the measured

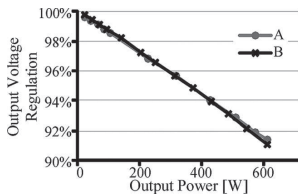


Fig. 13. Output voltage regulation: (A)—simulation of electrical circuit and (B)—experimental results.

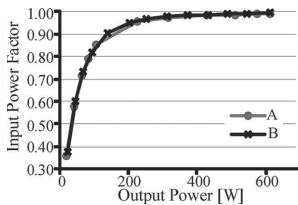


Fig. 14. Input power factor: (A)—simulation of electrical circuit and (B)—experimental results.

input power factor was low for up to 30% load, after which it became practically unitary.

V. CONCLUSION

This letter proposes a new ac–ac converter based on the SC principle. From the theoretical analysis and the experimental results the following conclusions can be noted.

- 1) A new constant frequency ac–ac converter, based on the switched-capacitor principle, was proposed, analyzed, and implemented.
- 2) The proposed ac–ac converter employs only capacitors and switches.
- 3) The converter operates in open loop with $D = 0.5$ and presents good performance.
- 4) The topology does not require complex control algorithms, the conversion efficiency is high and the power factor is close to one for rated power.
- 5) The circuit can operate as a step-down converter ($220\text{--}110\text{ V}_{\text{rms}}$) or a step-up converter ($110\text{--}220\text{ V}_{\text{rms}}$), and in both modes only one-half of the high-side voltage is applied to the switches and the capacitors.
- 6) The proposed converter is a potential candidate for substituting the conventional autotransformers (without control

of output voltage) in low power (less than 1 kW) commercial and residential applications.

REFERENCES

- [1] A. Ioinovici, "Switched-capacitor power electronics circuits," *IEEE Circuits Syst. Mag.*, vol. 1, no. 3, pp. 37–42, Third Quarter 2001.
- [2] M. S. Makowski and D. Maksimovic, "Performance limits of switched-capacitor DC–DC converters," in *Proc. IEEE 26th Ann. Power Electron. Spec. Conf.*, Jun. 1995, pp. 1215–1221.
- [3] M. D. Seeman and S. R. Sanders, "Analysis and optimization of switched-capacitor DC–DC converters," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 841–851, Mar. 2008.
- [4] G. Zhu, H. Wei, I. Batarseh, and A. Ioinovici, "A new switched-capacitor dc–dc converter with improved line and load regulations," in *Proc. IEEE Int. Symp. Circuits and Systems*, Jun. 1999, pp. 234–237.
- [5] B. Axelrod, Y. Berkovich, S. Tapuchi, and A. Ioinovici, "Single-stage single-switch switched-capacitor buck/buck-boost-type converter," *IEEE Trans. Aerosp. Electron. Syst.*, vol. 45, no. 2, pp. 419–430, Apr. 2009.
- [6] J. W. Kimball and P. T. Krein, "Analysis and design of switched capacitor converters," in *Proc. IEEE Appl. Power Electron. Conf.*, Mar. 2005, pp. 1473–1477.
- [7] J. W. Kimball, P. T. Krein, and K. R. Cahill, "Modeling of capacitor impedance in switching converters," *IEEE Power Electron. Lett.*, vol. 3, no. 4, pp. 136–140, Dec. 2005.
- [8] Z. Guangyong and A. Ioinovici, "Switched-capacitor power supplies: DC voltage ratio, efficiency, ripple, regulation," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 1996, pp. 553–556.
- [9] J. M. Henry and J. W. Kimball, "Practical performance analysis of complex switched-capacitor converters," *IEEE Trans. Power Electron.*, vol. 26, no. 1, pp. 127–136, Jan. 2011.
- [10] S. Ben-Yakov, "On the influence of switch resistances on switched capacitor converters losses," *IEEE Trans. Ind. Electron.*, vol. 59, no. 1, pp. 638–640, Jan. 2012.
- [11] B. Axelrod, Y. Berkovich, and A. Ioinovici, "A boost-switched capacitor inverter with a multilevel waveform," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2004, pp. V-884–V-887.
- [12] M. On-Cheong and A. Ioinovici, "Switched-capacitor inverter with high power density and enhanced regulation capability," *IEEE Trans. Circuits Syst. I: Fundam. Theory Appl.*, vol. 45, no. 4, pp. 336–347, Apr. 1998.
- [13] Y. Hinago and H. Koizumi, "A switched-capacitor inverter using series/parallel conversion with inductive load," *IEEE Trans. Ind. Electron.*, vol. 59, no. 2, pp. 878–887, Feb. 2012.
- [14] J. Bauman and M. Kazerani, "A novel capacitor-switched regenerative snubber for DC/DC boost converters," *IEEE Trans. Ind. Electron.*, vol. 58, no. 2, pp. 514–523, Feb. 2011.
- [15] T. Siew-Chong, S. Kiratipongvoot, S. Bronstein, A. Ioinovici, Y. M. Lai, and C. K. Tse, "Adaptive mixed on-time and switching frequency control of a system of interleaved switched-capacitor converters," *IEEE Trans. Power Electron.*, vol. 26, no. 2, pp. 364–380, Feb. 2011.
- [16] P. Fang Zheng, Z. Fan, and Q. Zhaoxing, "A magnetic-less DC–DC converter for dual-voltage automotive systems," *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 511–518, Mar./Apr. 2003.
- [17] Z. Fan, D. Lei, P. Fang Zheng, and Q. Zhaoxing, "A new design method for high-power high-efficiency switched-capacitor DC–DC converters," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 832–840, Mar. 2008.
- [18] Z. Amjadi and S. S. Williamson, "A novel control technique for a switched-capacitor-converter-based hybrid electric vehicle energy storage system," *IEEE Trans. Ind. Electron.*, vol. 57, no. 3, pp. 926–934, Mar. 2010.
- [19] C. Pascual and P. T. Krein, "Switched capacitor system for automatic series battery equalization," in *Proc. IEEE 12th Appl. Power Electron. Conf.*, Feb. 1997, pp. 848–854.